

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-236781

(43)Date of publication of application : 31.08.2001

(51)Int.Cl.

G11C 11/15
G11C 11/14
H01L 27/105
H01L 43/08

(21)Application number : 2000-344274

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 10.11.2000

(72)Inventor : NAKAJIMA KENTARO
INOMATA KOICHIRO
SAITO YOSHIKI
SUNAI MASAYUKI

(30)Priority

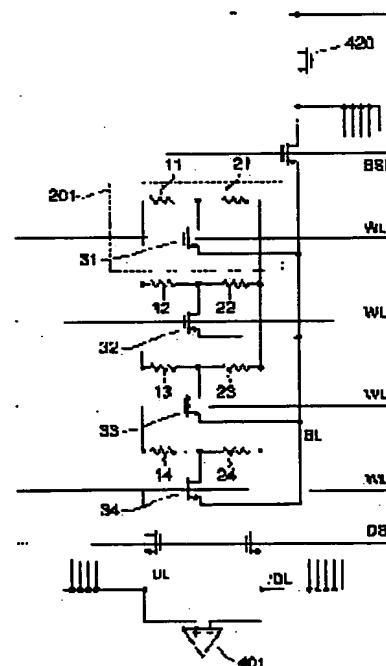
Priority number : 11357469 Priority date : 16.12.1999 Priority country : JP

(54) MAGNETIC MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable enlarging output voltage of a cell at the read-out time, to enable improving a signal to noise ratio without increasing power consumption at the read-out time and to realize low power consumption and high speed read-out.

SOLUTION: This device is a magnetic memory device provided with plural TMR elements obtained by laminating fixed layers in which a magnetizing direction is fixed and recording layers in which a magnetizing direction is varied by an external magnetic field and constituting tunnel junction of double or more, a memory cell 201 being a recording unit of information is constituted of two TMR elements 11, 21 of which the resistance values and the magnetic resistance variation rate are equal respectively, one ends of the TMR elements 11, 21 in the direction of lamination are connected to other data lines DL, /DL, the other ends are connected to the same bit line through the same selection transistor 31. Recording of information is performed so that a magnetizing direction of the recording layers of the TMR elements 11, 21 is kept always in anti-parallel, and read-out of information is performed by detecting difference of current flowing in the data lines DL, /DL.



LEGAL STATUS

[Date of request for examination]

03.02.2003

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The laminating of the fixing layer to which the magnetization direction was fixed, and the recording layer from which the magnetization direction changes with external magnetic fields is carried out. It is the magnetic memory apparatus equipped with two or more tunnel junction sections which constituted the tunnel junction more than a single or a duplex. The memory cell which is an informational record unit contains the 1st and 2nd tunnel junction sections. The end of the direction of a laminating of the 1st tunnel junction section and the end of the direction of a laminating of the 2nd tunnel junction section are connected to the different data line, respectively. The other end of the direction of a laminating of the 1st tunnel junction section and the other end of the direction of a laminating of the 2nd tunnel junction section are a magnetic memory apparatus characterized by connecting with a bit line through the same semiconductor device for cell selection.

[Claim 2] The 1st write-in line is arranged at the direction end side of a laminating of the 1st tunnel junction section, and the 2nd write-in line is arranged at the direction end side of a laminating of the 2nd tunnel junction section. By the direction end [of the 1st tunnel junction section] of laminating, or other end side And the 3rd write-in line common to a direction end [of the 2nd tunnel junction section] of laminating or other end side is arranged. The direction of a current which flows the 1st write-in line, and the direction of a current which flows the 2nd write-in line are a magnetic memory apparatus according to claim 1 characterized by being constituted so that it may become hard flow mutually.

[Claim 3] The 1st tunnel junction section and the 2nd tunnel junction section are a magnetic memory apparatus according to claim 2 which is arranged in the same flat surface, is arranged in parallel in the same flat surface by the 1st write-in line and the 2nd write-in line, and is characterized by being arranged so that it may be in flat surface where the 3rd write-in line, 1st, and 2nd write-in lines are another and may cross [1st and 2nd near the tunnel junction section].

[Claim 4] The 1st tunnel junction section and the 2nd tunnel junction section are arranged in the vertical direction. It is arranged in parallel with the vertical direction in a different flat surface from the 1st write-in line and the 2nd write-in line. The 3rd write-in line, 1st, and 2nd write-in lines are magnetic memory apparatus according to claim 2 characterized by being arranged so that it may be in another flat surface and may cross [1st and 2nd near the tunnel junction section].

[Claim 5] The magnetic memory apparatus according to claim 1 characterized by making the writing of a recording layer as both magnetization directions where the 1st and 2nd resistance and magnetic-reluctance rate of change of the tunnel junction section spread abbreviation etc. always serve as anti-parallel.

[Claim 6] The magnetic memory apparatus according to claim 1 characterized by being made by comparing the size of the amount of currents which flows to the 1st and 2nd data line when read-out of information gives the potential difference between the 2nd data line connected to the 1st data line and the 2nd tunnel junction section which were connected to the 1st tunnel junction section, and said bit line.

[Claim 7] The magnetic memory apparatus according to claim 1 characterized by being made by

comparing the size to the reference potential of the electrical potential difference which appears in said bit line when read-out of information gives the potential difference between the 1st data line connected to the 1st tunnel junction section, and the 2nd data line connected to the 2nd tunnel junction section.

[Claim 8] The laminating of the fixing layer to which the magnetization direction was fixed, and the recording layer from which the magnetization direction changes with external magnetic fields is carried out. It is the magnetic memory apparatus which consists of a magnetic memory cell array equipped with two or more tunnel junction sections which constituted the tunnel junction more than a single or a duplex. Said magnetic memory cell array consists of two or more subcel arrays. Each subcel array The 1st and 2nd data line by which parallel arrangement was carried out, and two or more word lines which intersect these data lines, It consists of two or more bit lines which intersect said data line, and two or more magnetic memory cells. Said magnetic memory cell The end of the direction of a laminating of the 1st tunnel junction section is connected to the 1st data line including the 1st and 2nd tunnel junction sections. The end of the direction of a laminating of the 2nd tunnel junction section is connected to the 2nd data line. It is the magnetic memory apparatus characterized by connecting the other end of the direction of a laminating of the 1st tunnel junction section, and the other end of the direction of a laminating of the 2nd tunnel junction section to a bit line through the same semiconductor device for cel selection, and connecting the magnetic memory cell in the same subcel array to a different bit line.

[Claim 9] The laminating of the fixing layer to which the magnetization direction was fixed, and the recording layer from which the magnetization direction changes with external magnetic fields is carried out. It is the magnetic memory apparatus which consists of a magnetic memory cell array equipped with two or more tunnel junction sections which constituted the tunnel junction more than a single or a duplex. Said magnetic memory cell array consists of two or more subcel arrays. Each subcel array The 1st and 2nd data line by which parallel arrangement was carried out, and two or more word lines which intersect these data lines, It consists of a bit line it runs in parallel with said data line, and two or more magnetic memory cells. Said magnetic memory cell The end of the direction of a laminating of the 1st tunnel junction section is connected to the 1st data line including the 1st and 2nd tunnel junction sections. The end of the direction of a laminating of the 2nd tunnel junction section is connected to the 2nd data line. The other end of the direction of a laminating of the 1st tunnel junction section and the other end of the direction of a laminating of the 2nd tunnel junction section are a magnetic memory apparatus characterized by connecting with a bit line and connecting the magnetic memory cell in the same subcel array to the same bit line through the same semiconductor device for cel selection.

[Claim 10] The laminating of the fixing layer to which the magnetization direction was fixed, and the recording layer from which the magnetization direction changes with external magnetic fields is carried out. It is the magnetic memory apparatus which consists of a magnetic memory cell array equipped with two or more tunnel junction sections which constituted the tunnel junction more than a single or a duplex. Said magnetic memory cell array consists of two or more subcel arrays. Each subcel array The 1st and 2nd sub data line by which parallel arrangement was carried out, and two or more word lines which intersect these sub data lines, It consists of said sub data line, a sub bit line it runs to parallel, and two or more magnetic memory cells. Said magnetic memory cell The end of the direction of a laminating of the 1st tunnel junction section is connected to the 1st sub data line including the 1st and 2nd tunnel junction sections. The end of the direction of a laminating of the 2nd tunnel junction section is connected to the 2nd sub data line. It comes to connect the other end of the direction of a laminating of the 1st tunnel junction section, and the other end of the direction of a laminating of the 2nd tunnel junction section with the same sub bit line through the same semiconductor device for cel selection. It is the magnetic memory apparatus characterized by connecting the 1st and 2nd sub data line with the 1st and 2nd data line through a data-line selection transistor, respectively, and connecting said sub bit line to a bit line through a bit line selection transistor, respectively.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the magnetic memory apparatus using especially a ferromagnetic tunnel junction with respect to the information playback technique in which the ferromagnetic was used.

[0002]

[Description of the Prior Art] Magnetic random access memory (the following, MRAM, and brief sketch) is the generic name of the solid-state memory which can use the magnetization direction of a ferromagnetic as an informational record carrier, and can rewrite, hold and read recording information at any time. In MRAM, the magnetization direction of the ferromagnetic which constitutes a memory cell makes it correspond to the information on binary "1", and "0" to a certain reference direction whether they are parallel or anti-parallel, and records information.

[0003] The writing of recording information is performed by writing in and reversing the magnetization direction of the ferromagnetic of each cel by the current field which has been arranged in the shape of a cross stripe and which passes a current on a line and is produced. The power consumption at the time of record maintenance is zero theoretically, and even if it turns off the power, it is nonvolatile memory to which record maintenance is performed.

[0004] The electric resistance of a memory cell performs read-out of recording information using the phenomenon of changing with the angular relation of the magnetization direction of a ferromagnetic and sense current which constitute a cel, or the angular relation of the magnetization between two or more ferromagnetic layers, and the so-called magneto-resistive effect. Read-out actuation is in the condition which passed the sense current to the ferromagnetic which constitutes each cel, it writes in the magnetization direction of a ferromagnetic, is changed by the current field as well as the time, and is performed by detecting change of the electric resistance in that case as electrical-potential-difference change. By setting up the magnitude of the field in this case smaller than ferromagnetic coercive force, it is possible to realize destructive read.

[0005] if this kind of MRAM compares with its function the semiconductor memory which used the conventional dielectric -- (a) -- perfect -- are nonvolatile and 10¹⁵ times or more of the counts of rewriting be possible.

(b) Destructive read is possible and it be possible to read, since refresh actuation is not needed, and to shorten a cycle.

(c) Resistance [as opposed to a radiation compared with the memory cell of a charge storage mold] is strong.

[0006] It has many advantages of **. It is expected that the degree of integration per unit area of MRAM, writing, and read-out time amount can become comparable as DRAM in general. Therefore, taking advantage of the big special feature of a non-volatile, application of the outboard recorder for pocket mold digital audio devices, a wireless IC card, and primary-storage MEMORIHE further for mobile PC is expected.

[0007] In MRAM which is storage capacity 1Mb extent with which examination of the present utilization is made, giant magneto-resistance (below Giant Magneto-Resistance; the GMR effectiveness, and brief sketch) is used for read-out of cel recording information. As a MRAM cel using the component (a following and GMR component and brief sketch) which shows the GMR effectiveness Pseudo Spin-Valve Structure (for example, refer to IEEE Trans.Mag., 33, and 3289(1997).), The thing using three layer membranes which have association between antiferromagnetism layers (for example, refer to IEEE Trans.Comp, Pac.Manu.Tech.Pt.A, and 17,373(1994).), Moreover, the hard magnetic substance was used for the pinning layer. Spin-Valve What has structure (for example, refer to IEEE Trans.Mag., 33, and 3295(1997).) is known.

[0008] The value of the GMR effectiveness of three layer membranes of uncombined mold NiFe/Cu/Co used as a current GMR component is about 6 - 8% in general. [many] For example, the above-mentioned In the MRAM cel using PseudoSpin-Valve structure, 5% or more of resistance rate of change is effectually realized by controlling the magnetization distribution at the time of recording information read-out. However, generally the sheet resistance of a GMR component is several 10ohms / ** extent. Therefore, even when 5% of resistance rate of change is assumed to be the sheet resistance of 100ohms / **, the cel read-out signal over a 10mA sense current is only 5mV at most. At current and the MOS mold field-effect transistor put in practical use, it is the current I_s between source drains. The value is proportional to the ratio (WL) of channel width W and channel length L, and is I_s (W= 3.3 micrometers and L= 1 micrometer). A value is about 0.1mA. Therefore, the value of the sense current of 10mA used here is very excessive to the transistor created with the processing dimension of a submicron rule.

[0009] In order to solve this point, in the MRAM cel using a GMR component, two or more GMR components are connected to a serial, and the approach of constituting the data line is used (for example, refer to IEEE Trans.Comp.Pac.Manu.Tech.pt.A and 17,373(1994).). However, when series connection of the memory cell is carried out, the power consumption effectiveness at the time of read-out has the fault which falls greatly.

[0010] In order to solve these points, instead of the GMR effectiveness, the proposal which is going to apply the ferromagnetic tunnel effect (below Tunnel Magneto-Resistance; the TMR effectiveness, and brief sketch) is made. The component (a following and TMR component and brief sketch) which shows the TMR effectiveness consists of three layer membranes which mainly consist of a 1/insulating layer of ferromagnetic layers / a ferromagnetic layer 2, and a current tunnels an insulating layer and it flows. Tunnel ***** changes in proportion to the cosine of the angular relation of magnetization of both the ferromagnetism metal layer, and when both magnetization is anti-parallel, it takes the maximal value.

[0011] For example, in the tunnel junction of NiFe/Co/aluminum2 O3 / Co/NiFe, the resistance rate of change which exceeds 25% in the low field below 500e is found out (for example, refer to IEEE Trans.Mag. and 33.3553(1997).). The cell resistance value of a TMR component is 102-106 at per [a plane-of-composition product (micrometer2)] typically. It is omega. Therefore, it is 2 1 micrometer temporarily. If resistance 10kohm and 25% of resistance rate of change are assumed in a cel, a 25mV cel read-out signal will be acquired with the sense current of 10microA.

[0012] In the MRAM cel array using a TMR component, parallel connection of two or more TMR components is carried out on the data line. as the detail structure -- (1) -- what has arranged the semiconductor device for selection for each TMR component.

(2) What has arranged the selection transistor for every data line.

(3) What has arranged two or more TMR components in the shape of a matrix, and has arranged the selection transistor for every line data line and string data line (for example, J.App1.Phys., 81.3758 (1997) reference). It ***** . The method of (1) has in it the property which was most excellent in the field of cel output voltage and the power consumption effectiveness at the time of read-out. However, it is necessary to pass a current in the MRAM cel array of the method of (1) to the semiconductor device which connected with the TMR component at the time of read-out. As a semiconductor device, the diode component using the diode component which short-circuited between the gate drains of a field-effect transistor besides an MOS mold field-effect transistor and pn junction, and the Schottky barrier is used. Therefore, when dispersion has arisen in the property of these semiconductor devices, the noise resulting

from it cannot be disregarded.

[0013] For example, in the case of an MOS transistor, the voltage drop between source drains amounts to 100mV or more in 0.25-micrometer Ruhr. That is, if 10% of dispersion exists in the property of a semiconductor device, thereby, a noise 10mV or more will appear. Moreover, if noises generated in a circumference circuit, such as a noise combined with the data line and a noise by property dispersion of a sense amplifier, are also taken into consideration in addition to this, noise level will be set also to >10mV and only an about several dB signal to noise will be obtained in the current cel output voltage of about 20-30mV.

[0014] the output voltage V of the single memory cell chosen in the conventional MRAM cel array in order to raise a signal to noise -- reference voltage VREF comparing -- the difference -- electrical potential difference Vsig Many approaches of carrying out a differential amplifier are used. It is the purpose that this removes offset of the cel output voltage V by property dispersion of the object for a sense line drive or the semiconductor device for cel selection to the purpose which removes the noise made in the data-line pair which a memory cell connects to the 1st, and the 2nd. Reference voltage VREF The dummy cell besides [using the semiconductor device as a generating circuit] a circuit is used. However, it connects with the semiconductor device for cel selection with respectively separate the selected memory cell and the selected generating circuit of reference voltage by this approach, and it is impossible to remove completely offset of the cel output voltage V by property dispersion of a semiconductor device.

[0015] Furthermore with the conventional technique, it is reference voltage VREF. The case where it considers as the cel output voltage VF corresponding to cel information "1" and "0" and the intermediate voltage of VAF is common. For example, when the resistance of the TMR component used for Is and a cel in the sense current value is set to R in current sense and electrical-potential-difference detection and magnetic-reluctance rate of change is set to MR, VF and VAF are $VF = R(1-MR/2) \times Is$ as follows. -- (1) $VAF = R(1+MR/2) \times Is$ -- (2)

It can write.

[0016] the difference which will be inputted into a sense amplifier if reference voltage is made into the intermediate voltage of VF and VAF -- an electrical potential difference is as follows.

[0017]

$$V_{sig} = R \times MR \times Is / 2 \quad -- (3)$$

2 of a denominator is reference voltage VREF. It is because it is set as intermediate voltage. In electrical-potential-difference sense and current detection, it is RL about the load resistance for Vbias and current detection in bias voltage. When it carries out, it is $VF = V_{bias} \times RL / R (1-MR/2)$ similarly. -- (4)

$$VAF = V_{bias} \times RL / [R (1+MR/2)] \quad -- (5)$$

$$V_{sig} = V_{bias} \times RL / R \times MR / 2 \quad -- (6)$$

It becomes. However, it took that it was $MR \ll 1$ into consideration in the derivation process of (6) types.

[0018] Therefore, with the conventional technique, only the one half of the magnetic-reluctance rate of change of a TMR component can be used.

[0019] The approach the ferromagnetic layer 1 and the ferromagnetic layer 2 use a current field together using ferromagnetism or the TMR component which carried out antiferromagnetism association at the time of read-out of information in order to solve these points is also considered (for example, refer to U.S. Pat. No. 5,734,605 number). However, by this approach, the power consumption at the time of read-out becomes large, and is not suitable for application to a pocket mold device.

[0020] Moreover, the approach which has arranged the transistor for selection for two TMR components, respectively, and constituted the memory cell is also indicated (for example, ISSCC 2000 Digest paper TA7.2 reference). It writes in by this approach, always considering the magnetization direction of the recording layer of two TMR components as anti-parallel. That is, the complementary writing in which the magnetization array of one of components is anti-parallel, and another side is always parallel is used. By this approach, by carrying out the differential amplifier of the output from

two components, common mode noise is removed and S/N is raised. However, since two transistors for selection are used for one cel, cel area increases and it has the problem that a degree of integration falls.

[0021]

[Problem(s) to be Solved by the Invention] As mentioned above, by applying a TMR component to a memory cell, reduction of the sense current at the time of read-out and increase of a cel output signal can be realized to coincidence, and it is possible to offer MRAM of high density more compared with MRAM using the GMR effectiveness of being used conventionally. However, if the magnitude of the noise from the noise which cel output voltage is about several 10mV, and originates in property dispersion of the object for a sense line drive or the semiconductor device for cel selection and the data line, and a circumference circuit is considered even when a TMR component is used for a memory cell, signal to noise sufficient in the present condition is not obtained. Although the approach of using a current field together is also devised in order to improve a signal to noise, it has the fault that the power consumption at the time of read-out increases.

[0022] A signal to noise can be improved without having accomplished this invention in consideration of the above-mentioned situation, and the place made into the purpose being able to enlarge cel output voltage at the time of read-out, and causing increase of the power consumption at the time of read-out, and it is in offering the magnetic memory apparatus which combines a low power and high-speed read-out nature.

[0023]

[Means for Solving the Problem] (Configuration) In order to solve the above-mentioned technical problem, this invention has adopted the following configurations.

[0024] Namely, this invention carries out the laminating of the fixing layer to which the magnetization direction was fixed, and the recording layer from which the magnetization direction changes with external magnetic fields. It is the magnetic memory apparatus equipped with two or more tunnel junction sections which constituted the tunnel junction more than a single or a duplex. The memory cell which is an informational record unit contains the 1st and 2nd tunnel junction sections. The end of the direction of a laminating of the 1st tunnel junction section and the end of the direction of a laminating of the 2nd tunnel junction section are connected to the different data line, respectively. It is characterized by connecting the other end of the direction of a laminating of the 1st tunnel junction section, and the other end of the direction of a laminating of the 2nd tunnel junction section to a bit line through the same semiconductor device for cel selection.

[0025] Moreover, this invention carries out the laminating of the fixing layer to which the magnetization direction was fixed, and the recording layer from which the magnetization direction changes with external magnetic fields. It is the magnetic memory apparatus which consists of a magnetic memory cell array equipped with two or more tunnel junction sections which constituted the tunnel junction more than a single or a duplex. Said magnetic memory cell array consists of two or more subcel arrays. Each subcel array The 1st and 2nd data line by which parallel arrangement was carried out, and two or more word lines which intersect these data lines, It consists of two or more bit lines which intersect said data line, and two or more magnetic memory cells. Said magnetic memory cell The end of the direction of a laminating of the 1st tunnel junction section is connected to the 1st data line including the 1st and 2nd tunnel junction sections. The end of the direction of a laminating of the 2nd tunnel junction section is connected to the 2nd data line. The other end of the direction of a laminating of the 1st tunnel junction section and the other end of the direction of a laminating of the 2nd tunnel junction section are connected to a bit line through the same semiconductor device for cel selection, and the magnetic memory cell in the same subcel array is characterized by connecting with a different bit line.

[0026] Moreover, this invention carries out the laminating of the fixing layer to which the magnetization direction was fixed, and the recording layer from which the magnetization direction changes with external magnetic fields. It is the magnetic memory apparatus which consists of a magnetic memory cell array equipped with two or more tunnel junction sections which constituted the tunnel junction more than a single or a duplex. Said magnetic memory cell array consists of two or more subcel arrays. Each subcel array The 1st and 2nd data line by which parallel arrangement was carried out, and two or more

word lines which intersect these data lines, It consists of a bit line it runs in parallel with said data line, and two or more magnetic memory cells. Said magnetic memory cell The end of the direction of a laminating of the 1st tunnel junction section is connected to the 1st data line including the 1st and 2nd tunnel junction sections. The end of the direction of a laminating of the 2nd tunnel junction section is connected to the 2nd data line. The other end of the direction of a laminating of the 1st tunnel junction section and the other end of the direction of a laminating of the 2nd tunnel junction section are characterized by connecting with a bit line and connecting the magnetic memory cell in the same subcel array to the same bit line through the same semiconductor device for cel selection.

[0027] Moreover, this invention carries out the laminating of the fixing layer to which the magnetization direction was fixed, and the recording layer from which the magnetization direction changes with external magnetic fields. It is the magnetic memory apparatus which consists of a magnetic memory cell array equipped with two or more tunnel junction sections which constituted the tunnel junction more than a single or a duplex. Said magnetic memory cell array consists of two or more subcel arrays. Each subcel array The 1st and 2nd sub data line by which parallel arrangement was carried out, and two or more word lines which intersect these sub data lines, It consists of said sub data line, a sub bit line it runs to parallel, and two or more magnetic memory cells. Said magnetic memory cell The end of the direction of a laminating of the 1st tunnel junction section is connected to the 1st sub data line including the 1st and 2nd tunnel junction sections. The end of the direction of a laminating of the 2nd tunnel junction section is connected to the 2nd sub data line. It comes to connect the other end of the direction of a laminating of the 1st tunnel junction section, and the other end of the direction of a laminating of the 2nd tunnel junction section with the same sub bit line through the same semiconductor device for cel selection. It is characterized by connecting the 1st and 2nd sub data line with the 1st and 2nd data line through a data-line selection transistor, respectively, and connecting said sub bit line to a bit line through a bit line selection transistor, respectively.

[0028] Here, the following are mentioned as a desirable operation gestalt of this invention.

[0029] (1) the 1st and 2nd resistance and magnetic-reluctance rate of change of the tunnel junction section -- abbreviation -- equal -- both magnetization directions -- always -- anti- -- the writing of a recording layer is made so that it may become parallel (complementary writing).

[0030] (2) The end of the 1st and 2nd TMR component should already be connected to the 1st different data line and 2nd different data line through the semiconductor device for cel selection with the same end at the bit line, respectively.

[0031] (3) When read-out of information gives the potential difference between the 1st and 2nd data line and a bit line, be made by comparing the size of the amount of currents which flows to the 1st and 2nd data line. Moreover, the 1st and 2nd data line should be kept equipotential at this time.

[0032] (4) When read-out of information gives the potential difference to the 1st and 2nd data line, be made by comparing the size to the reference potential of the electrical potential difference which appears in a bit line.

[0033] The 1st write-in line is arranged at the direction end side of a laminating of the 1st TMR component, and the 2nd write-in line is arranged at the direction end side of a laminating of the 2nd TMR component. (5) By the direction end [of the 1st TMR component] of laminating, or other end side And the 3rd write-in line common to a direction end [of the 2nd TMR component] of laminating or other end side should be arranged, and the direction of a current which flows the 1st write-in line, and the direction of a current which flows the 2nd write-in line should be constituted to become hard flow mutually.

[0034] (6) The 1st TMR component and the 2nd TMR component should be arranged in the same flat surface, and the 1st write-in line and the 2nd write-in line are arranged in parallel in the same flat surface, and they are in flat surface where the 3rd write-in line, 1st, and 2nd write-in lines are another, and be arranged to cross [1st and 2nd near the TMR component]. The 1st and 2nd write-in line is the outside of a memory cell array field, and the end should be connected respectively.

[0035] (7) The 1st TMR component and the 2nd TMR component are arranged in the vertical direction. The 1st write-in line and the 2nd write-in line are arranged in parallel with the vertical direction. It is

arranged in parallel with the vertical direction in a different flat surface from the 3rd write-in line, 1st, and 2nd write-in lines, is in flat surface where the 3rd write-in line, 1st, and 2nd write-in lines are another, and be arranged to cross [1st and 2nd near the TMR component]. The 1st and 2nd write-in line is the outside of a memory cell array field, and the end should be connected respectively.

[0036] (8) The semiconductor device for cel selection should be a junction-diode component using the diode component which short-circuited between the gate drains of an MOS mold field-effect transistor and a field-effect transistor or pn junction, and the Schottky barrier.

[0037] (9) The number of the memory cell contained in one subcel array should be 1000 or less.

[0038] (Operation) In the magnetic memory apparatus of the above-mentioned configuration, when the potential difference is given between the 1st and 2nd data line and a bit line, the 1st to a memory cell of an approach to read storage information compares the size of the amount of currents which flows to the 1st and 2nd data line, while making a low impedance condition activate the semiconductor device for cel selection at the time of read-out. The 1st and 2nd data line is controlled to become equipotential.

Thereby, to the 1st data line and 2nd data line, the sense current decided by the potential difference and the resistance of each TMR component flows. The resistance of a TMR component differs by whether the angular relation [layer / the fixing layer of a TMR component and / storage] of magnetization is parallel and anti-parallel.

[0039] In the magnetic memory apparatus of this invention, the resistance of two TMR components which constitute a cel, and magnetic-reluctance rate of change are equal, and the magnetization directions of each storage layer are anti-parallel mutually. Therefore, the value I_1 of the sense current which will flow to the 1st and 2nd data line if the resistance of $R(1-MR/2)$ and the 2nd TMR component is set [the potential difference] to $R(1+MR/2)$ for the resistance of V_{bias} and the 1st TMR component and I_2 $I_1 = V_{bias}/R(1-MR/2)$ -- (7)

$I_2 = V_{bias}/R(1+MR/2)$ -- (8)

It becomes.

[0040] namely, the difference of a sense current -- I_{sig} It becomes $I_{sig} = V/R_xMR$ and a big differential signal can be acquired compared with the conventional technique. Since it is a current drive mold component, if dispersion arises in the resistance at the time of the flow of the semiconductor device for cel selection which connected with the TMR component at the serial, dispersion will produce a memory cell in an output signal as a result. Since this invention shares the semiconductor device for cel selection with same 1st TMR component and 2nd TMR component, it is possible to remove completely dispersion resulting from property dispersion of a semiconductor device. This is the big advantage which is not in the conventional technique.

[0041] Moreover, at the time of read-out, while the 2nd of the read-out approach makes a low impedance condition activate the semiconductor device for cel selection, when the potential difference is given between the 1st and 2nd data line, it compares the size to the reference potential of the electrical potential difference which appears in a bit line. When the resistance of $R(1-MR/2)$ and the 2nd TMR component is set [the potential difference between the 1st and 2nd data line] to $R(1+MR/2)$ for the resistance of V and the 1st TMR component, the potential difference between the 2nd data line and a bit line is $V = V_{bias}/2x(1+MR/2)$. -- (9)

It becomes.

[0042] Therefore, reference voltage V_{REF} $V_{REF} = V_{bias}/2$ -- (10)

if it is alike and sets up -- difference -- an electrical potential difference -- $V_{sig} = V_{bias}/2xMR/2$ -- (11)

It becomes.

[0043] since reference voltage is used by this reading method -- the method of reading the 1st -- comparing -- difference -- although the variation of an electrical potential difference decreases -- (1) It is not dependent on the current value which flows for a TMR component at all. Namely, (2) which the effect on an output does not produce also when the number of memory cells in a memory cell array changes and the impedance between DL and /DL changes Since a current hardly flows to (3) bit lines which can mitigate the bias voltage dependency of MR since bias voltage is divide with two TMR components, it has the big advantage that property dispersion of the semiconductor device for selection

is removable.

[0044] On the other hand, in the magnetic memory apparatus of this invention, the writing of storage information to a memory cell is performed on the write-in line of the 1st and 2, and the 3rd write-in line by passing a current. Under the present circumstances, if it sets up so that it may exceed the reversal field whose value of a current field is a TMR component only in the decussation field of the write-in line of the 1st and 2, and the 3rd write-in line, the cell selection at the time of writing is realizable.

[0045] In the magnetic memory apparatus of this invention, the direction of a current which flows the 1st write-in line arranged at the 1st TMR component, and the direction of a current which flows the 2nd write-in line arranged at the 2nd TMR component are hard flow mutually. That is, in the magnetic memory apparatus of this invention, the magnetization direction of the storage layer of the 1st [which a memory cell constitutes in write-in actuation], and 2nd TMR components always serves as anti-parallel. Distinction of information "1" and "0" is performed on the basis of the 1st TMR component by whether the angular relation [layer / the fixing layer of a component and / storage] of magnetization is parallel and anti-parallel.

[0046]

[Embodiment of the Invention] Hereafter, the operation gestalt of illustration of the detail of this invention explains.

[0047] (1st operation gestalt) Drawing 1 is drawing having shown the electric equal circuit of the magnetic memory cell array concerning the 1st operation gestalt of this invention.

[0048] The field surrounded by the drawing destructive line corresponds to a memory cell 201, and this memory cell 201 consists of two TMR components and selection transistors. That is, the 1st step of memory cell consists of TMR components 11 and 21 and a selection transistor 31, the 2nd step of memory cell consists of TMR components 12 and 22 and a selection transistor 32, the 3rd step of memory cell consists of TMR components 13 and 23 and a selection transistor 33, and the 4th step of memory cell consists of TMR components 14 and 24 and a selection transistor 34. Although four memory cells are arranged to the direction of the data line mentioned later by a diagram, this number of arrays of the ability to change suitably is natural.

[0049] In the 1st step of memory cell 201, the end of two TMR components 11 is connected to data-line DL, and the end of the TMR component 21 is connected to the data line/DL. Each other end of the TMR components 11 and 21 is connected to the same bit line BL through the cell selection transistor 31. In the memory cell after the 2nd step, similarly, the end of a TMR component is connected to the data lines DL/DL, respectively, and the other end is connected to the same bit line BL through the cell selection transistor (32-34).

[0050] The word lines WL1-WL4 which became independent, respectively are arranged at the selection transistors 31-34. The drain field of a selection transistor and the bit line are shared with the memory cell array which adjoins like the after-mentioned. The data lines DL/DL are connected to the current detection mold differential amplifier 401 through the selection transistor with common word line DSL. The bias voltage clamping circuit 420 is connected to the bit line BL through the selection transistor which the word line BSL connected.

[0051] Next, actuation of this circuit is explained taking the case of a memory cell 201.

[0052] Now, the case where the magnetization array of the recording layer of the TMR component 11 and a fixing layer is in an parallel condition, and the TMR component 21 is in an anti-parallel condition is considered (recording information "1"). In an initial state, the potential of WL1, BSL, and DSL is 0. Subsequently, it is made to flow through the selection transistor 31 by setting potential of DSL and BSL to VDD, respectively, where it gave zero potential to DL and Vbias is given to BL, using WL1 as VDD. The value I1 of the sense current which will flow to DL/DL if the resistance of R (1-MR/2) and the TMR component 21 is set to R (1+MR/2) for the resistance of the TMR component 11, and I2 I1 = Vbias/R (1-MR/2) -- (12)

I2 = Vbias/R (1+MR/2) -- (13)

It becomes.

[0053] I1 > I2 [namely,] it is -- the difference is Isig = V/RxM. When the magnetization array of

recording information "0" 11, i.e., a TMR component, is in an anti-parallel condition and the TMR component 21 is in a parallel condition, it is I1 and I2. It is as follows.

$$I1 = V_{bias}/R (1+MR/2) \quad -- (14)$$

$$I2 = V_{bias}/R (1-MR/2) \quad -- (15)$$

I1 [namely,] -- < -- I2 it is -- the difference is equal to the case of recording information "1." Therefore, the current detection mold differential amplifier 401I1 and I2 Read-out of information becomes possible by comparing size.

[0054] Drawing 2 is the current value I1 which flows to the data lines DL/DL in this operation gestalt, and I2. Change is shown as time amount change. Here, the resistance of 400mV and the TMR components 11 and 21 of bias voltage Vbias is 60kohm in 40kohm and the anti-parallel condition in a parallel condition by predetermined bias. The potential of WL1 was held at the period VDD for 5ns - 10ns. It turns out that the sense current of a value which is different in DL/DL according to component resistance as mentioned above is flowing. It is the effect of data-line stray capacity which the time lag has produced a little.

[0055] The wave at the time of reading continuously the recording information of two or more memory cells was shown in drawing 3. In order to carry out the current drive of the data lines DL/DL of low impedance with this operation gestalt, as shown in drawing 2, the delay by data-line stray capacity is very as small as 0.5 or less ns. Such high-speed read-out nature is the big advantage of this invention.

[0056] With this operation gestalt, components other than a selection cel function as resistance which short-circuits the data lines DL/DL, and the resistance is 2R regardless of storage information. For example, considering the case where N+1 cel has connected with the data lines DL/DL, the equal circuit becomes like drawing 4. In this circuit, between data-line DL and /DL has connected too hastily by resistance of 2 R/N. In the condition that the sense current is flowing to the data lines DL/DL, the potential difference arises from a selection cel slightly in DL/DL by the wiring resistance RD of the data lines DL/DL, and it works in the direction which a current flows to the short circuit resistance RD by that cause, and negates the current difference of DL/DL as a result.

[0057] Drawing 5 is as a result of the simulation which used the equal circuit of drawing 4. Here, R=250kohm was assumed. The magnitude of the short circuit resistance Rdummy is less than 10% in N= 100 2.5kohm, i.e., connection cels, and reduction of a current difference is satisfactory practically. In N= 1000 connection cels, reduction of a current difference exceeds 50% and the advantage of this invention that an output signal increases twice by complementary read-out is lost. Therefore, with this operation gestalt, as for the number of memory cells per cell block, carrying out to 100 or less is desirable, and it needs to make it at most 1000 or less.

[0058] Drawing 6 is drawing in which having written with the TMR component which constitutes the magnetic memory array of this operation gestalt, and having shown arrangement of a line typically. As for 10-14, and 20-24, in drawing 6, a TMR component, and 51 and 52 are write-in lines. Here, in order to make an understanding easy, it writes in with a TMR component and structures other than a line are omitted. One field of a memory cell 201 whose part surrounded with the broken line in drawing is an informational record unit is shown. In addition, in drawing, although five memory cells are arranged along the array direction of the write-in line 51, this array number can be changed suitably.

[0059] Two TMR components (the 1st TMR component 11 and 2nd TMR component 21) are contained, in each component field, it writes in a memory cell 201 with the write-in line 51, and the line 52 intersects it perpendicularly. Each TMR components 11 and 21 constitute the multiplex tunnel junction more than a single or a duplex like the after-mentioned, and have the fixing layer to which the magnetization direction was fixed, and the storage layer from which the magnetization direction changes with external magnetic fields. Moreover, the magnitude of the resistance, magnetic-reluctance rate of change, and the reversal field of a recording layer is both components, and it is manufactured so that it may become equal. The write-in line 51 has the configuration turned up in the U character mold, and with the TMR component 11 and the TMR component 21, it is arranged so that the transit direction of a current may serve as reverse sense.

[0060] The writing of the recording information to a memory cell 201 writes in with the write-in line 51,

and is performed using a line 52. If the potential of the end 511 of the write-in line 51 is now set up highly compared with the other end 512, it writes in the write-in line 51 like the arrow head of illustration, and a current flows. The direction of a write-in current is the space lower left to the space upper right and the TMR component 11 to the TMR component 21. Although the current field of the direction shown by the arrow head of a drawing destructive line arises around a write-in line according to this write-in current, that sense is the space right to the space left and the TMR component 11 to the TMR component 21. Therefore, the writing of recording information from which the magnetization direction of the TMR component 11 and the TMR component 21 always serves as reverse sense is realizable with this current field.

[0061] What is necessary is just to perform distinction of information "1" and "0" by whether the angular relation of magnetization of the recording layer of the TMR component 11 and magnetization of a fixing layer is parallel or anti-parallel. Moreover, rewriting of information "1" and "0" is easily performed by reversing the direction of the write-in current passed on the write-in line 51. In addition, in the write-in line 51, the direction connected with a terminal 511 is set to 1st write-in line 51a, and the direction connected with a terminal 512 is set to 2nd write-in line 51b.

[0062] In order to perform cel selection at the time of writing, the write-in line 52 (3rd write-in line) other than the write-in line 51 is used together. That is, if it writes in like illustration and the write-in current of the direction of the space upper left is passed on a line 52, around the write-in line 52, the current field of the direction shown by the arrow head of a drawing destructive line will arise. The direction of the current field from the write-in line 52 is this direction with the TMR components 11 and 21, and is perpendicular to the direction of a current field from the write-in line 51. Therefore, the value of the current field from the write-in line 51 is small compared with the reversal field of the TMR components 11 and 21, and if the value of the write-in current passed on each write-in line 51 and 52 is set up so that the value of the current field of the composition from the write-in lines 51 and 52 may become large compared with a reversal field, cel selection writing is realizable.

[0063] In addition, in case cel writing is performed using the current field which intersects perpendicularly as mentioned above, it is desirable to write in the easy axis of the recording layer of a TMR component, and to make it parallel with the direction of a current field from a line 51. Moreover, the write-in lines 51 and 52 do not necessarily need to intersect perpendicularly [near the TMR component], and may be the include angles of arbitration.

[0064] Drawing 7 shows the planar structure of the memory cell 201 corresponding to drawing 1. The memory cell of this operation gestalt has two TMR components in one structure, and a TMR component is formed in the semiconductor circuit section in the multilayer structure of the memory cell produced on the Si substrate 70.

[0065] In drawing 7, the cel node by which the data line and 30 were formed in the word line of a cel selection transistor, and 44 was formed [71 / the drain field of a cel selection transistor and 72] in the lower layer of the TMR components 11 and 21 for the source field of a cel selection transistor, and 41 and 42, and 45 are contacts to the cel node 44 and the drain field of a cel selection transistor. All over drawing, the source field 72 of a cel selection transistor is shared with the memory cell of the adjoining memory cell array currently omitted, and is connected to the bit line. When a component isolation region is taken into consideration, the dimension of one memory cell is $20 \text{ to } 25\lambda^2$. It becomes. Here, λ is data-line spacing.

[0066] Since two TMR components share one transistor with this operation gestalt, compared with the differential amplifier method two TMR components have a transistor respectively, it is possible to reduce cel area by half.

[0067] Drawing 8 is the mimetic diagram showing the view A-A' cross-section (a) and view B-B' cross section (b) in the memory cell planar structure of drawing 7. between the semiconductor circuit section and each metal layer which are formed on the Si substrate 70 -- SiO₂ etc. -- it is separated by the interlayer insulation film 60. The TMR components 11 and 21 consist of cascade screens which consist of a 102/fixing layer 103 of 101/insulating layers of recording layers. The TMR components 11 and 21 are formed on the common cel node 44. It is formed in order that the cel node 44 may obtain electric

contact for a cell selection transistor and the TMR components 11 and 21, and as the ingredient, nonmagnetic conductivity film, such as W, aluminum, and Ta, is used.

[0068] In addition, although this operation gestalt shows the structure which separated the write-in lines 51 and 52 and the data lines 41 and 42, it is possible to share both, as shown in drawing 9, to write in the data lines 41 and 42, and to also make the function of a line 51 give. In this case, the metal wiring layer corresponding to the write-in line 51 shown in drawing 8 becomes unnecessary. Moreover, although it is necessary for the data lines 41 and 42 to connect too hastily in that end at the time of write-in actuation in this case, this short circuit device can be easily constituted using the circuit technique of a conventionally well-known place. The magnitude of the write-in current on which they flow via a TMR component at the time of writing also when the data lines 41 and 42 connect two or more bond resistances of a TMR component since it is sufficiently large compared with wiring resistance of the data line although much each other are connected with the TMR component can be ignored.

[0069] It is a desirable gestalt to prepare the barrier metal which consists of conductive metal nitrides for preventing metal counter diffusion, such as TiN and TaN, in the lower part of the cell node 44 and the contact part of a TMR component. Moreover, in order to control the crystallinity of the fixing layer 103, and crystal orientation, seed layers, such as Au, Pt, Ta, Ti, and Cr, may be prepared.

[0070] The fixing layer 103 consists of a thin film of Fe, Co, nickel, or those alloys. The magnetization direction of a fixing layer appoints criteria bearing at the time of information writing and read-out. Therefore, it is called for that the reversal field is fully large compared with the reversal field of the below-mentioned recording layer. For this purpose, it is desirable to use the crosswise lamination film of the cascade screen of the metal antiferromagnetic substance, such as Mn alloy, Fe(s), Co(es) and nickel, or those alloys, Fe(s), Co(es) and nickel which carried out antiferromagnetism association between layers or those alloys, and non-magnetic metal, such as Cu and Ru, for example.

[0071] An insulating layer 102 consists of an aluminum oxide film, on the fixing layer 103, carries out the direct sputter of the alumina, and is formed. After forming aluminum film 2nm or less, it oxidizes by the oxygen plasma and, specifically, this aluminum film is formed. The ingredient used for an insulating layer 102 is asked for having a good insulating property by very thin thickness 2nm or less. As the ingredient, the AlN film formed the plasma oxidation film of others [film / above-mentioned / alumina sputter], for example, aluminum, the natural oxidation film, or directly is available. Moreover, the structure where the metal particle was distributed in the insulator, and the structure which put the several more nm metal super-thin film are also possible. When the insulator layer which has these composite constructions is used, a cell resistance value can be easily controlled by the mechanical design, and it is desirable operationally.

[0072] A recording layer 101 consists of a thin film which consists of Fe, Co, nickel, or those alloys. In order to reduce the power consumption at the time of informational writing, the smaller possible one of the reversal field of a recording layer is desirable. The magnitude of a suitable reversal field is 30-50Oe. It is the purpose which makes the reversal field of a recording layer small, for example, a desirable gestalt uses the film which carried out the laminating of the high CoFe alloy film of whenever [spin polarization / of an electric electron], and the NiFe alloy film which has soft magnetic characteristics. Moreover, the alloy of Fe, Co, nickel, and the other element and a compound may be used.

[0073] Although the data lines 41 and 42 which consist of nonmagnetic conductivity film, such as W, aluminum, and Cu, are arranged at the upper layer of a recording layer 101, it is a desirable gestalt to prepare the barrier metal which consists of conductive metal nitrides for preventing counter diffusion with these, such as TiN and TaN, in a contact part. In addition, about a manufacturing method, the semiconductor device manufacturing technology of a conventionally well-known place can be used for configuration lists other than the TMR component section, and detailed explanation is omitted.

[0074] Thus, with this operation gestalt, since one memory cell (for example, 201) was constituted from two TMR components (11 for example, 21) and the memory cell is arranged, respectively to the intersection with the write-in line 52 by which parallel arrangement was carried out and which writes in and intersects perpendicularly with Lines 51a and 51b and this, it can write in alternatively to the

memory cell of arbitration by writing in with the write-in lines 51a and 51b, and passing a current on a line 52.

[0075] the magnetization direction of the storage layer 101 of two TMR components 11 and 21 which the direction of a current which flows the write-in lines 51a and 51b is hard flow mutually, and constitute one memory cell 201 in write-in actuation -- always -- anti- -- taking the difference of each output of the TMR components 11 and 21 on the occasion of read-out of storage information, since it becomes parallel -- the conventional technique -- comparing -- big difference -- an electrical potential difference can be obtained. It is the current I1 which specifically flows to DL/DL when the potential difference is given between the 1st and 2nd data line DL/DL and a bit line BL while making it flow through the cel selection transistor 31 at the time of read-out, and I2. Storage information can be read by comparing size with the current detection mold differential amplifier 401.

[0076] Therefore, according to this operation gestalt, a signal to noise can be improved without being able to enlarge cel output voltage at the time of read-out, and causing increase of the power consumption at the time of read-out, and it becomes possible to combine a low power and high-speed read-out nature. Moreover, since the cel selection transistor 31 with same TMR component 11 and TMR component 21 is shared, it is also possible to remove completely offset of the cel output voltage by property dispersion of a transistor.

[0077] (2nd operation gestalt) Drawing 10 is drawing in which having written with the TMR component which constitutes the magnetic memory cell array concerning the 2nd operation gestalt of this invention, and having shown arrangement of a line typically.

[0078] As for 10-14, and 20-24, in drawing 10, a TMR component, and 51 and 52 are write-in lines. Here, in order to simplify an understanding, it writes in with a TMR component and structures other than a line are omitted. The part surrounded with the broken line in drawing shows the field of the memory cell 201 which is an informational record unit.

[0079] Two TMR components 11 and 21 are contained, in each component field, it writes in a memory cell 201 with the write-in line 51, and the line 52 intersects it perpendicularly. The write-in line 51 has the configuration turned up in the U character mold in the vertical direction, and with the TMR component 11 and the TMR component 21, it is arranged so that the transit direction of a current may serve as reverse sense. With this operation gestalt, unlike the 1st operation gestalt, it writes in with the TMR components 11 and 21, and a line 51 is arranged in the same vertical flat surface at a film surface.

[0080] That is, the write-in line 51 consists of 1st write-in line 51a and 2nd write-in line 51b which have been arranged perpendicularly in parallel, and the end of each write-in lines 51a and 51b is connected in the exterior of a cel arrangement field. The TMR components 10-14 are arranged on the inferior surface of tongue of write-in line 51a, respectively, the TMR components 20-24 are arranged on the top face of write-in line 51b, respectively, and, as for the TMR component, opposite arrangement of 10, 20, 11, 21, 12, 22 and 13, and 23, 14 and 24 is carried out perpendicularly. And to the memory cell 201 which consists of TMR components 11 and 21, for example, the 3rd write-in line 52 is arranged so that it may intersect perpendicularly with the write-in lines 51a and 51b in the mid-position between the 1st and write-in line 51 of ** 2nd a, and 51b. The other configuration and the function are the same as that of the 1st operation gestalt, and the detailed explanation is omitted here.

[0081] Drawing 11 shows the planar structure of the memory cell 201 corresponding to drawing 10, and drawing 12 shows typically the view A-A' cross-section (a) and view B-B' cross section (b) of the memory cell corresponding to drawing 11.

[0082] With this operation gestalt, unlike the 1st operation gestalt, the common cel node 44 and 44' are prepared in vertical two-layer one, the cel node 44 is connected to the lower limit of the upper TMR component 11, and cel node 44' is connected to the lower limit of the lower TMR component 21. And the data line 41 is connected to the upper layer of the recording layer 101 of the TMR component 11, and the data line 42 is connected to the upper layer of recording layer 101' of the TMR component 21.

[0083] Thus, with this operation gestalt, unlike the 1st operation gestalt, it writes in with the TMR components 11 and 21, and the data lines 41 and 42 are arranged [in a line 51 and a pan] in the same vertical flat surface at a film surface. The other configuration and the function are the same as that of the

1st operation gestalt, and the same effectiveness as the 1st operation gestalt is acquired. since [moreover,] two TMR components 11 and 21 are arranged in the vertical direction with this operation gestalt -- the area of one memory cell -- the 1st operation gestalt -- comparing -- small -- becoming -- about ten to $12\lambda^2$ it is .

[0084] (3rd operation gestalt) Drawing 13 is drawing in which having written with the TMR component which constitutes the magnetic memory array of the 3rd operation gestalt of this invention, and having shown arrangement of a line typically.

[0085] As for 10-14, and 20-24, in drawing 13 , a TMR component, and 51 and 52 are write-in lines. Here, in order to simplify an understanding, it writes in with a TMR component and structures other than a line are omitted. Unlike the 2nd operation gestalt shown in drawing 10 , the 3rd write-in line 52 is running along not between the 1st and 2nd write-in line 51a and 51b but the bottom of 2nd write-in line 52b.

[0086] Drawing 14 is drawing having shown typically the cross-section configuration of the memory cell in the 3rd operation gestalt. With this operation gestalt, unlike the 1st and 2nd operation gestalt, the TMR component 11 is formed in the common cel node 44 bottom, and the TMR component 21 is formed in the bottom. And the data line 41 is connected to the upper layer of the recording layer 101 of the TMR component 11, and the data line 42 is connected to the lower layer of recording layer 101' of the TMR component 21.

[0087] Moreover, with this operation gestalt, the cel node 44 consists of a ferromagnetic and this is characterized by having the function of a fixing layer and RE ** in which the TMR component 11 and the TMR component 21 are common. That is, a recording layer 101, an insulating layer 102, and the cel node 44 to the TMR component 21 consists of recording layer 101', and insulating-layer 102' and the cel node 44 for the TMR component 11, respectively.

[0088] taking such a configuration -- this operation gestalt -- the 2nd operation gestalt -- a ratio -- manufacture of the Bethel array not only becomes easy, but it has the advantage that property dispersion of the TMR component 11 and the TMR component 21 becomes small. In addition, that only the part which constitutes the TMR components 11 and 21 should be a ferromagnetic, even if the cel node 44 uses non-magnetic material for the other part, it does not interfere.

[0089] According to this operation gestalt, since the laminating of a TMR component and the write-in wiring is carried out in the direction of a film surface, sharp reduction of cel area is possible. When λ considers as data-line spacing, the dimension of one memory cell is ten to $15\lambda^2$. It becomes and cel area of abbreviation one half can be realized compared with the 1st operation gestalt.

[0090] (4th operation gestalt) Drawing 15 is drawing having shown the electric equal circuit of the magnetic memory cell array concerning the 4th operation gestalt of this invention. In addition, the same sign is given to the same part as drawing 1 , and the detailed explanation is omitted.

[0091] The field surrounded by the drawing destructive line corresponds to a memory cell 201, the end is connected to the data lines DL/DL with which two TMR components became independent, respectively, and the other end is connected to the same bit line BL through the cel selection transistor. Although the word lines WL1-WL4 which became independent, respectively are arranged at the selection transistors 31-34, the selection transistors 31 and 32, and 33 and 34 are sharing the drain field, respectively. The data lines DL/DL are connected to the current detection mold differential amplifier 401 through a selection transistor with word line DSL, and the bit line BL is connected to the bias voltage clamping circuit 420 through the transistor for selection linked to a word line BSL.

[0092] It is the description that the contiguity cel is sharing the drain field and bit line of a selection transistor between this operation gestalt. Thus, it has the advantage that a bit line number is reducible in one half because a contiguity cel shares a bit line.

[0093] (5th operation gestalt) Drawing 16 is drawing having shown the electric equal circuit of the magnetic memory cell array concerning the 5th operation gestalt of this invention. In addition, the same sign is given to the same part as drawing 1 , and the detailed explanation is omitted.

[0094] The field surrounded by the drawing destructive line corresponds to a memory cell 201, in each cel, as for a TMR component, the end is connected at the data lines DL/DL, respectively, and the other

end is connected to the respectively different bit lines BL1 and BL2 through the cel selection transistor. Although the word lines WL1-WL4 which became independent, respectively are arranged at the selection transistors 31-34, the selection transistors 31 and 32, and 33 and 34 are sharing the drain field, respectively. The data lines DL/DL are connected to the current detection mold differential amplifier 401 through the selection transistor with common word line DSL.

[0095] Bit lines BL1 and BL2 are connected to the data lines DL/DL and the bit lines CBL1 and CBL2 it runs to parallel. And CBL1 and CBL2 are connected to the bias voltage clamping circuit 420 out of the memory cell array field through the transistor for selection with the word lines BSL1 and BSL2 which became independent, respectively.

[0096] It is the description for a bit line BL to intersect the data lines DL/DL, to run, and to be shared between this operation gestalt by the contiguity memory cell array. And it has the advantage that become possible to reduce greatly the number of wiring overlaps DL/DL and it runs in parallel, and much more reduction of array area is attained, by a contiguity memory cell array's sharing BL and taking the gestalt finally connected by DL/DL, and one CBL it runs to parallel. In addition, when BL and WL are running in parallel, the so-called page mode read-out of the memory cell of a line writing direction read at a stretch becomes possible by carrying out coincidence activation of BL and the WL.

[0097] (6th operation gestalt) Drawing 17 is drawing having shown the electric equal circuit of the magnetic memory cell array concerning the 6th operation gestalt of this invention. In addition, the same sign is given to the same part as drawing 1, and the detailed explanation is omitted.

[0098] The field surrounded by the drawing destructive line corresponds to a memory cell 201, the end is connected to the data lines DL1/DL with which two TMR components became independent, respectively, and the other end is connected to the same bit line BL1 through the cel selection transistor. Moreover, the end of two TMR components is connected to the data lines DL2/DL, respectively, and, as for this memory cell and the memory cell which adjoins in the direction of a word line, the other end is connected to the same bit line BL2 through the cel selection transistor. That is, the memory cell which adjoins in the direction of a word line is sharing /DL.

[0099] The word lines WL1-WL4 which became independent, respectively are arranged at the selection transistors 31-34. The data lines DL1/DL are connected to the current detection mold differential amplifier 401 through the selection transistor with common word line DSL1. Although /DL is sharing with a contiguity memory cell array, selection transistors differ and DL2/DL is connected to the current detection mold differential amplifier 401 through the selection transistor with common word line DSL2. Here, DL1 and DL2 do not share-ize the word line of a selection transistor for preventing the stray current which led DL2.

[0100] It is the description that the contiguity memory cell array is sharing the data line/DL between this operation gestalt. Thus, by sharing the data line, it has the advantage that much more reduction of array area is attained.

[0101] (7th operation gestalt) Drawing 18 is drawing having shown the electric equal circuit of the magnetic memory cell array concerning the 7th operation gestalt of this invention. In addition, the same sign is given to the same part as drawing 1, and the detailed explanation is omitted.

[0102] The field surrounded by the drawing destructive line corresponds to a memory cell 201, and, as for two TMR components, the end is connected to the sub data lines sDL/sDL, respectively. The other end of a TMR component is connected to the same sub bit line sBL through the cel selection transistor. The word lines WL1-WL4 which became independent, respectively are arranged at the selection transistors 31-34.

[0103] The sub data lines sDL/sDL and the sub bit line sBL are connected to the data lines DL/DL and a bit line BL through the selection transistor with common word line SASL, respectively. The data lines DL/DL are connected to the current detection mold differential amplifier 401 through the selection transistor with common word line DSL. Moreover, the bit line BL is connected to the bias voltage clamping circuit 420 through the transistor for selection with a word line BSL out of the memory cell array field.

[0104] It is the description that a memory cell array is divided in the direction of the data line, and forms

the subcel array with this operation gestalt. By using such a configuration, it becomes possible to reduce the number of the memory cell in a cel array, without increasing array area extremely. This becomes possible to avoid the problem of the output signal fall by increase of the memory cell number.

[0105] (8th operation gestalt) Drawing 19 is drawing having shown the electric equal circuit of the magnetic memory cell array concerning the 8th operation gestalt of this invention. In addition, the same sign is given to the same part as drawing 1 , and the detailed explanation is omitted.

[0106] The field surrounded by the drawing destructive line corresponds to a memory cell 201, and, as for two TMR components, the end is connected to the sub data lines sDL/sDL, respectively. The other end of a TMR component is connected to the bit lines BL1-BL4 which became independent by each memory cell arranged in the direction of the data line, respectively although it connects with the bit line BL through the cel selection transistor.

[0107] The word lines WL1-WL4 which became independent, respectively are arranged at the selection transistors 31-34. The sub data lines sDL/sDL are connected to the data lines DL/DL through the selection transistor with common word line SASL. The data lines DL/DL are connected to the current detection mold differential amplifier 401 through the selection transistor with common word line DSL.

[0108] It is the description that a bit line BL intersects the data lines DL/DL, and is running with this operation gestalt, and it is possible to write in a bit line BL and to use also [line].

[0109] (9th operation gestalt) Drawing 20 is drawing having shown the electric equal circuit of the magnetic memory cell array concerning the 9th operation gestalt of this invention. In addition, the same sign is given to the same part as drawing 1 , and the detailed explanation is omitted.

[0110] The field surrounded by the drawing destructive line corresponds to a memory cell 201. In each memory cell, the end of one TMR component is connected to the data lines 1-DLR 4, respectively, and the end of the TMR component of another side is connected to the same data-line DLC. And each other end of a TMR component is connected to the same bit line BL through the cel selection transistor. The word lines WL1-WL4 which became independent, respectively are arranged at the selection transistors 31-34. The bit line BL is connected to the bias voltage clamping circuit 420 through the transistor for selection with a word line BSL out of the memory cell array field.

[0111] It is the description that the data line pairs DLR and DLC cross and run with this operation gestalt, and BL intersects WL and is running similarly. Moreover, since sharing of a bit line is not done in the direction of a word line, either, cel selection at the time of read-out can be uniquely performed by controlling BL and WL potential, and bias voltage is not impressed other than a selection cel.

Furthermore, since the data line pairs DLR and DLC cross, a non-choosing cel does not short-circuit a data-line pair. Therefore, high actuation of stability and power consumption effectiveness is expectable.

[0112] (10th operation gestalt) Drawing 21 is drawing having shown the electric equal circuit of the magnetic memory cell array concerning the 10th operation gestalt of this invention. In addition, the same sign is given to the same part as drawing 1 , and the detailed explanation is omitted.

[0113] The field surrounded by the drawing destructive line corresponds to a memory cell 201, as for two TMR components, the end is connected at the data lines DL/DL, respectively, and the other end is connected to the same bit line BL through the cel selection transistor. The word lines WL1-WL4 which became independent, respectively are arranged at the selection transistors 31-34. The data lines DL/DL are connected to the bias voltage clamping circuit 420 and the current detection mold differential amplifier 401 through the selection transistor with common word line DSL. Moreover, the bit line BL is grounded.

[0114] It is the description that a bit line BL is in low voltage to the data lines DL/DL, and a current flows from the data lines DL/DL to a bit line BL through a selection transistor with this operation gestalt. In addition, in the range which does not exceed data-line potential, although bit line potential was made into touch-down potential in drawing 21 , even if it sets it as the electrical potential difference of arbitration, it does not interfere. Moreover, it is necessary to make equal completely potential of the data lines DL/DL with this operation gestalt. This is easily realizable with a bias voltage clamping circuit like illustration or a kind, with a technique.

[0115] (11th operation gestalt) Drawing 22 is drawing having shown the electric equal circuit of the

magnetic memory cell array concerning the 11th operation gestalt of this invention. In addition, the same sign is given to the same part as drawing 1, and the detailed explanation is omitted.

[0116] The field surrounded by the drawing destructive line corresponds to a memory cell 201, and the end is connected to the data lines DL/DL with which two TMR components became independent, respectively. The other end of a TMR component is connected to the bit lines BL1-BL4 which became independent by the memory cell arranged in the direction of the data line, respectively although it connects with the bit line BL through the cel selection transistor. The word lines WL1-WL4 which became independent, respectively are arranged at the selection transistors 31-34. Data-line DL is connected to the bias voltage clamping circuit 420 through a selection transistor with word line DSL, and the data line/DL is grounded. Bit lines BL1-BL4 are connected to a differential sense amplifier SA different, respectively.

[0117] Next, actuation of this circuit is explained taking the case of a memory cell 201. Now, the case where the magnetization array of the recording layer of the TMR component 11 and a fixing layer is in an parallel condition, and the TMR component 21 is in an anti-parallel condition is considered (recording information "1"). In an initial state, the potential of WL1 and DSL is 0. Subsequently, it is made to flow through the selection transistor 31 by setting WL1 to VDD, where Vbias is given to DL, using potential of DSL as VDD. When the resistance of R (1-MR/2) and the TMR component 21 is set to R (1+MR/2) for the resistance of the TMR component 11, the value of the electrical potential difference guided to BL is $V1 = Vbias / 2 \times (1+MR/2)$. -- (16)

It becomes.

[0118] On the other hand, when the magnetization array of recording information "0" 11, i.e., a TMR component, is in an anti-parallel condition and the TMR component 21 is in an parallel condition, the value of the electrical potential difference guided to BL is as follows.

[0119]

$$V0 = Vbias / 2 \times (1-MR/2) \text{ -- (17)}$$

If it follows, for example, the reference voltage of a differential sense amplifier is set up with $VREF = Vbias/2$, storage information can be distinguished by comparing size with the reference voltage of BL potential.

[0120] It is (1) in order to detect the division ratio of bias voltage V by two TMR components by this read-out approach. It is not dependent on the current value which flows for a TMR component at all. Namely, (2) which the effect on an output does not produce also when the number of memory cells in a memory cell array changes and the impedance between DL and /DL changes In order to divide bias voltage with two TMR components, (3) which can mitigate the bias voltage dependency of MR Since a current hardly flows to a bit line, it has the advantage that property dispersion of the semiconductor device for selection, especially dispersion of source drain resistance can be disregarded.

[0121] (12th operation gestalt) Drawing 23 is drawing having shown the electric equal circuit of the magnetic memory cell array concerning the 12th operation gestalt of this invention. In addition, the same sign is given to the same part as drawing 1, and the detailed explanation is omitted.

[0122] The field surrounded by the drawing destructive line corresponds to a memory cell 201, as for two TMR components, the end is connected at the data lines DL/DL, respectively, and the other end is connected to the same bit line BL through the cel selection transistor 31. The word lines WL1-WL4 which became independent, respectively are arranged at the selection transistors 31-34. Data-line DL is connected to the bias voltage clamping circuit 420 through a selection transistor with word line DSL, and the data line/DL is grounded. The bit line BL is connected to the differential sense amplifier SA through the transistor for selection linked to a word line BSL.

[0123] Since two or more memory cells are sharing the bit line BL with this operation gestalt, it is possible to aim at much more reduction of array area.

[0124] (13th operation gestalt) Drawing 24 is drawing having shown the electric equal circuit of the magnetic memory cell array concerning the 13th operation gestalt of this invention. In addition, the same sign is given to the same part as drawing 1, and the detailed explanation is omitted.

[0125] The structure of a memory cell array of this operation gestalt is fundamentally the same as the

12th operation gestalt. However, the bit line BL is divided into the sub bit line sBL through the current conversion circuit, and fluctuation of the sBL electrical potential difference produced by read-out actuation is transmitted to the latter main amplifier SA by the current conversion circuit through a bit line BL as a current difference. With this operation gestalt, it is possible to shorten the die length of Bit BL and to mitigate stray capacity and wiring resistance, bit line delay is reduced, and high-speed operation can be realized.

[0126] (14th operation gestalt) Drawing 25 is drawing having shown the electric equal circuit of the magnetic memory cell array concerning the 14th operation gestalt of this invention. In addition, the same sign is given to the same part as drawing 1, and the detailed explanation is omitted.

[0127] The field surrounded by the drawing destructive line corresponds to a memory cell 201, and, as for two TMR components, the end is connected to the data lines DL/DL, respectively. The other end of a TMR component is connected to the bit lines BL1-BL4 which became independent by the memory cell arranged in the direction of the data line, respectively although it connects with the bit line BL through the diode component 31 for cel selection. Data-line DL is connected to the bias voltage clamping circuit 420 through a selection transistor with word line DSL, and the data line/DL is grounded. The bit line BL is grounded through the transistor for selection linked to load resistance and a word line BSL.

[0128] The forward voltage drop of diode is used for cel selection with this operation gestalt. That is, it is VF about the value of the forward voltage drop of diode. It carries out and is $V_F < V_0$. Suppose that it is filled. Now, if the potential difference V is given to the specific data lines DL/DL, in the sense amplifier connected to the bit line group which intersects DL/DL, it is $V_0 - V_F$. Or $V_1 - V_F$. An electrical potential difference appears. Therefore, storage information can be read by distinguishing the size.

[0129] In addition, as a diode component for cel selection in this operation gestalt, as shown in drawing 26 besides junction diodes, such as pn diode, schottky diode, and MIS diode, n mold MOS transistor which short-circuited the drain gate terminal can be used. Generally, in a magnetic memory apparatus, the MOS transistor is used abundantly, forming pn diode in the semi-conductor section needs an excessive component isolation region, and it leads to cel area increase. If it is the diode using a nMOS transistor, there is such no problem and it can be called desirable gestalt.

[0130] (15th operation gestalt) Drawing 27 is drawing having shown the electric equal circuit of the magnetic memory cell array concerning the 15th operation gestalt of this invention. In addition, the same sign is given to the same part as drawing 1, and the detailed explanation is omitted.

[0131] The field surrounded by the drawing destructive line corresponds to a memory cell 201, and, as for two TMR components, the end is connected to the data lines DL/DL, respectively. The other end of a TMR component is connected to the bit lines BL1-BL4 which became independent by the memory cell arranged in the direction of the data line, respectively although it connects with the bit line BL through the diode component 31 for cel selection. Data-line DL is connected to the bias voltage clamping circuit 420 through a selection transistor with word line DSL, and the data line/DL is grounded. The bit line BL is connected to the offset voltage circuit 430 and the current sense amplifier 402.

[0132] Drawing 28 is offset voltage Voff about the current which flows to a bit line in this operation gestalt. It has measured as a function. Two curves are the current I0 corresponding to recording information "1" and "0", and I1, respectively. It is shown. In about $V_{off} = 500\text{mV}$, it is I0. The field used as about 0 exists. In this field, it is I_1 / I_2 . A value becomes very large and it is very advantageous practically.

[0133] I0 according to such recording information, and I1 Change is realizable by combining the strong non-linearity near the forward direction threshold voltage VTO of diode with the electrical-potential-difference change according to recording information. Usually, the magnitude of VTO of diode is determined according to a manufacturing method. Therefore, the method of giving offset voltage like this operation gestalt is a desirable gestalt.

[0134] (16th operation gestalt) Drawing 29 is drawing having shown the electric equal circuit of the magnetic memory cell array concerning the 16th operation gestalt of this invention.

[0135] The field surrounded by the drawing destructive line corresponds to one memory cell 201. Within this memory cell 201, that end is connected to the data lines 41 and 42 with which the TMR

components 11 and 21 became independent, respectively, and common connection of the other end of the TMR components 11 and 21 is made at the transistor 32 for cel selection.

[0136] Moreover, the word lines 301-304 which became independent, respectively are arranged within each memory cell at the transistors 31-34 for cel selection, respectively. The other end is connected to the sense amplifier 404 at the constant current source 401,402 with the respectively separate end of the data line 41 and the data line 42. The common word line 403 is arranged at the MOS transistor which constitutes a constant current source 401,402. A sense amplifier 404 is flip-flop amplifier of electrical-potential-difference latching, and has the common source terminal 405 and the data terminal 406.

[0137] Next, an approach to read the information in the magnetic memory cell array of this operation gestalt is explained in full detail.

[0138] Drawing 30 shows a time-axis to the potential DLW of the word line 403 linked to the potential WL and the constant current source 401,402 of a word line 302 of the transistor 32 for cel selection, the potentials DL/DL of the data lines 41 and 42, and a list for an axis of abscissa for the change at the time of read-out of the potential SS of the common source terminal 405 of a sense amplifier 404.

[0139] Now, the case where magnetization of the recording layer of the TMR component 11 and a fixing layer is in an anti-parallel condition is considered (recording information "1"). For the potential of the word line DLW which controls word line WL of the transistor 32 for cel selection, and a constant current source 401,402 by the initial state, the potential of 0 and the common source terminal of a sense amplifier 404 is VD. It carries out. In this condition, the data lines 41 and 42 are floating potentials, and the sense amplifier 404 is separated from the data lines 41 and 42.

[0140] Next, after making WL into the high potential Vcc and making it flow through the transistor 32 for cel selection, it is the high potential Vs to DLW. It gives. Thereby, it goes via the data lines 41 and 42, and is the sense current Is equal to the TMR components 11 and 21. It flows. The potential of the data lines 41 and 42 is Vr about the voltage drop in the transistor 32 for cel selection. If it carries out, it will be $DL=VD=(R+R) \times Is+Vr$, $DL=VD'=R \times Is+Vr$, respectively. -- (18)

It becomes. That is, it is $V=Vr$ as differential voltage of the data lines 41 and 42. -- (19)

[0141] next, this condition -- the common source terminal 405 of a sense amplifier 404 -- illustration -- like -- VD from -- the read-out pulse which changes to 0 is given. If the potential difference of DL and SS exceeds the threshold potential Vth of a transistor, the transistor connected to the data-line 42 side of low voltage begins discharge, and the data line 41 is the initial potential Vd as a result. It maintains and one data line 42 is latched to 0V.

[0142] Where in the case of recording information "0" magnetization of the recording layer of the TMR component 11 and a fixing layer is in an parallel condition and a sense current is passed, a data-line 41 side is low voltage. For this reason, when a read-out pulse is given, the data line 41 is latched to 0V. Therefore, by impressing a pulse to the common source terminal 405, after fixed time amount progress, if the terminal 406 of a sense amplifier is used and the electrical potential difference D of the data line 41 is taken out, read-out will be performed. After read-out of data, if the potential of each terminal is returned to an initial state like illustration, the latch of a sense amplifier 404 will be reset and read-out actuation will be completed.

[0143] With the configuration of this operation gestalt, magnitude phi of the read-out pulse impressed to the common source terminal 405 of a sense amplifier 404 needs to be taken as $VD' \leq \phi \leq VD$. That is, the margin to the magnitude of a pulse is read and is differential voltage extent between the data lines at the time. It is (1) in order to stabilize actuation of this part. The voltage amplification circuit of the sense amplifier preceding paragraph, and (2) The circuit which compensates dispersion in VD and VD' may be prepared. In addition, although flip-flop amplifier was used with this operation gestalt, even if it uses for a sense amplifier, other amplifying circuits, for example, current mirror amplifier, it does not interfere.

[0144] Drawing 31 is drawing having shown typically the whole magnetic memory cell array configuration of this operation gestalt. A memory cell array consists of the data-line group linked to the memory cells arranged two-dimensional and these memory cells, a WORD track group, a write-in track group that crosses near the memory cell. it connects with the train decoder and the line decoder,

respectively, and the selection writing corresponding to the address input from the outside of the write-in lines RWL and CWL which make two 1 set is attained 4 at this.

[0145] On the other hand, it connects with the train decoder and the line decoder, respectively, and selection read-out of the word line DWL which drives the data-line pair DL and /DL, and the word line WL which intersects perpendicularly with this and drives the transistor for cel selection corresponding to the address input from the outside becomes possible by these. The sense amplifier SA is formed in each data-line pair, and is driven by common word line SS. And read-out data are read to the common data line D.

[0146] Thus, with this operation gestalt, since one memory cell (for example, 201) was constituted from two TMR components (11 for example, 21) and the memory cell is arranged, respectively to the intersection with the write-in line 52 by which parallel arrangement was carried out and which writes in and intersects perpendicularly with Lines 51a and 51b and this, it can write in alternatively to the memory cell of arbitration by writing in with the write-in lines 51a and 51b, and passing a current on a line 52.

[0147] the magnetization direction of the storage layer 101 of two TMR components 11 and 21 which the direction of a current which flows the write-in lines 51a and 51b is hard flow mutually, and constitute one memory cell 201 in write-in actuation -- always -- anti- -- taking the difference of each output of the TMR components 11 and 21 on the occasion of read-out of storage information, since it becomes parallel -- the conventional technique -- comparing -- big difference -- an electrical potential difference can be obtained. Moreover, since the transistor 32 for cel selection with same TMR component 11 and TMR component 21 is shared, it is possible to remove completely offset of the cel output voltage by property dispersion of a transistor.

[0148] Therefore, according to this operation gestalt, a signal to noise can be improved without being able to enlarge cel output voltage at the time of read-out, and causing increase of the power consumption at the time of read-out, and it becomes possible to combine a low power and high-speed read-out nature.

[0149] In addition, this invention is not limited to each operation gestalt mentioned above, it is the range which does not deviate from the summary, and can deform variously and can be carried out.

[0150]

[Effect of the Invention] As explained in full detail above, it becomes possible to realize a large high increase in power and low noise-ization by using the magnetic memory cell array structure of this invention compared with the case where the conventional technique is used at the time of information read-out. Therefore, the solid-state MAG memory apparatus which has a low power and high-speed read-out nature is realizable.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the electric equal circuit of the magnetic memory cell array concerning the 1st operation gestalt.

[Drawing 2] The current value I1 which is for explaining the 1st operation gestalt and flows to DL/DL, and I2 Drawing showing change as time amount change.

[Drawing 3] Drawing in which being for explaining the 1st operation gestalt and showing the wave at the time of reading continuously the recording information of two or more memory cells.

[Drawing 4] The representative circuit schematic showing them, assuming components other than a selection cel to be short circuit resistance.

[Drawing 5] Drawing showing the result of the simulation using the equal circuit of drawing 4 .

[Drawing 6] Drawing in which writing with the TMR component which constitutes the magnetic memory cell array concerning the 1st operation gestalt, and showing arrangement of a line typically.

[Drawing 7] Drawing showing the planar structure of the memory cell used for the 1st operation gestalt.

[Drawing 8] Drawing showing the view A-A'cross-section and view B-B' cross section in the memory cell structure of drawing 7 .

[Drawing 9] Drawing showing the memory cell structure section at the time of sharing a write-in line and the data line.

[Drawing 10] Drawing in which writing with the TMR component which constitutes the magnetic memory cell array concerning the 2nd operation gestalt, and showing arrangement of a line typically.

[Drawing 11] Drawing showing the planar structure of the memory cell in the 2nd operation gestalt.

[Drawing 12] Drawing showing the view A-A'cross-section and view B-B' cross section in the memory cell structure of drawing 8 .

[Drawing 13] Drawing in which writing with the TMR component which constitutes the magnetic memory cell array concerning the 3rd operation gestalt, and showing arrangement of a line typically.

[Drawing 14] Drawing showing the component cross-section structure of the magnetic memory cell array concerning the 3rd operation gestalt.

[Drawing 15] Drawing showing the electric equal circuit of the magnetic memory cell array concerning the 4th operation gestalt.

[Drawing 16] Drawing showing the electric equal circuit of the magnetic memory cell array concerning the 5th operation gestalt.

[Drawing 17] Drawing showing the electric equal circuit of the magnetic memory cell array concerning the 6th operation gestalt.

[Drawing 18] Drawing showing the electric equal circuit of the magnetic memory cell array concerning the 7th operation gestalt.

[Drawing 19] Drawing showing the electric equal circuit of the magnetic memory cell array concerning the 8th operation gestalt.

[Drawing 20] Drawing showing the electric equal circuit of the magnetic memory cell array concerning the 9th operation gestalt.

[Drawing 21] Drawing showing the electric equal circuit of the magnetic memory cell array concerning the 10th operation gestalt.

[Drawing 22] Drawing showing the electric equal circuit of the magnetic memory cell array concerning the 11th operation gestalt.

[Drawing 23] Drawing showing the electric equal circuit of the magnetic memory cell array concerning the 12th operation gestalt.

[Drawing 24] Drawing showing the electric equal circuit of the magnetic memory cell array concerning the 13th operation gestalt.

[Drawing 25] Drawing showing the electric equal circuit of the magnetic memory cell array concerning the 14th operation gestalt.

[Drawing 26] Drawing showing the equal circuit which replaced pn diode of the magnetic memory cell array concerning the 14th operation gestalt by the MOS transistor.

[Drawing 27] Drawing showing the electric equal circuit of the magnetic memory cell array concerning the 15th operation gestalt.

[Drawing 28] It is offset voltage V_{off} about the current which is for explaining the 15th operation gestalt and flows to a bit line. Drawing showing the result measured as a function.

[Drawing 29] Drawing showing the electric equal circuit of the magnetic memory cell array in the 16th operation gestalt.

[Drawing 30] The timing chart for explaining the read-out actuation in the magnetic memory cell array in the 16th operation gestalt.

[Drawing 31] Drawing showing the whole magnetic memory cell array configuration in the 16th operation gestalt.

[Description of Notations]

10, -, 14, 20-24 -- TMR component

31-34 -- Selection transistor

201 -- Memory cell

301-304,403 -- Word line

41 42 -- Data line

44 -- Cel node

45 -- Contact

51 52 -- Write-in line

60 -- Layer insulation layer

101 -- Recording layer

102 -- Insulating layer

103 -- Fixing layer

70 -- Si substrate

71 -- Drain field

72 -- Source field

401 -- Sense amplifier

420 -- Bias voltage clamping circuit

430 -- Offset voltage circuit

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-236781

(P2001-236781A)

(43) 公開日 平成13年8月31日 (2001.8.31)

(51) Int.Cl.	識別記号	F I	テマコード* (参考)
G 1 1 C	11/15	G 1 1 C	11/15
	11/14		11/14
H 0 1 L	27/105	H 0 1 L	43/08
	43/08		27/10
			A
			Z
			4 4 7

審査請求 未請求 請求項の数10 O L (全 24 頁)

(21) 出願番号 特願2000-344274(P2000-344274)
(22) 出願日 平成12年11月10日 (2000. 11. 10)
(31) 優先権主張番号 特願平11-357469
(32) 優先日 平成11年12月16日 (1999. 12. 16)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72) 発明者 中島 健太郎
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
(72) 発明者 猪俣 浩一郎
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
(74) 代理人 100058479
弁理士 鈴江 武彦 (外6名)

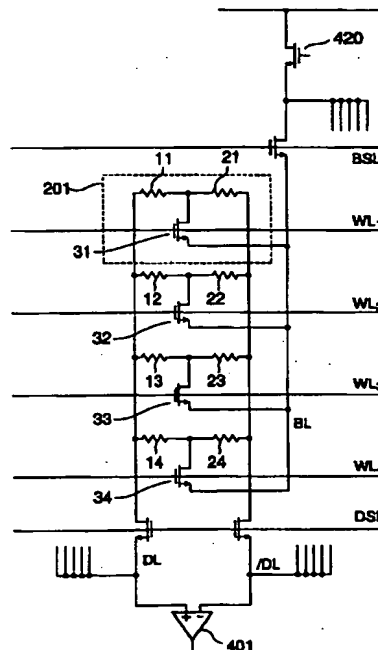
最終頁に続く

(54) 【発明の名称】 磁気メモリ装置

(57) 【要約】

【課題】 読み出し時のセル出力電圧を大きくすることができ、且つ読み出し時の消費電力の増大を招くことなく信号-雑音比を改善することができ、低消費電力と高速読み出し性を実現する。

【解決手段】 磁化方向が固定された固着層と外部磁界によって磁化方向が変化する記録層を積層し、二重以上のトンネル接合を構成したTMR素子を複数個備えた磁気メモリ装置であって、情報の記録単位であるメモリセル201は、抵抗値、磁気抵抗変化率が等しい二つのTMR素子11、21から構成され、TMR素子11、21の積層方向の一端は別のデータ線DL、/DLに接続され、他端は同一の選択トランジスタ31を介して同一のビット線BLに接続されている。情報の記録はTMR素子11、21の記録層の磁化方向が常に反平行に保たれるように行い、情報の読み出しはデータ線DL、/DLに流れる電流差を検出して行う。



【特許請求の範囲】

【請求項1】磁化方向が固定された固着層と、外部磁界によって磁化方向が変化する記録層とを積層し、単一若しくは二重以上のトンネル接合を構成したトンネル接合部を複数個備えた磁気メモリ装置であって、情報の記録単位であるメモリセルは第1及び第2のトンネル接合部を含み、第1のトンネル接合部の積層方向の一端と第2のトンネル接合部の積層方向の一端はそれぞれ別のデータ線に接続され、第1のトンネル接合部の積層方向の他端と第2のトンネル接合部の積層方向の他端は同一のセル選択用半導体素子を介してビット線に接続されていることを特徴とする磁気メモリ装置。

【請求項2】第1のトンネル接合部の積層方向一端側には第1の書き込み線が配置され、第2のトンネル接合部の積層方向一端側には第2の書き込み線が配置され、第1のトンネル接合部の積層方向一端側又は他端側で、且つ第2のトンネル接合部の積層方向一端側又は他端側には共通の第3の書き込み線が配置され、第1の書き込み線を流れる電流方向と第2の書き込み線を流れる電流方向とは互いに逆方向となるように構成されていることを特徴とする請求項1記載の磁気メモリ装置。

【請求項3】第1のトンネル接合部と第2のトンネル接合部とは同一平面内に配置され、第1の書き込み線と第2の書き込み線とは同一平面内に平行に配置され、第3の書き込み線と第1及び第2の書き込み線とは別の平面内にあり、第1及び第2のトンネル接合部近傍において交差するように配置されていることを特徴とする請求項2記載の磁気メモリ装置。

【請求項4】第1のトンネル接合部と第2のトンネル接合部とは上下方向に配置され、第1の書き込み線と第2の書き込み線とは異なる平面内に上下方向に平行に配置され、第3の書き込み線と第1及び第2の書き込み線とは別の平面内にあり、第1及び第2のトンネル接合部近傍において交差するように配置されていることを特徴とする請求項2記載の磁気メモリ装置。

【請求項5】第1、第2のトンネル接合部の抵抗値及び磁気抵抗変化率が略等しく、両方の磁化方向が常に反平行となるように記録層の書き込みがなされることを特徴とする請求項1記載の磁気メモリ装置。

【請求項6】情報の読み出しが、第1のトンネル接合部に接続された第1のデータ線及び第2のトンネル接合部に接続された第2のデータ線と前記ビット線との間に電位差を与えたときに、第1、第2のデータ線に流れる電流量の大小を比較することでなされることを特徴とする請求項1記載の磁気メモリ装置。

【請求項7】情報の読み出しが、第1のトンネル接合部に接続された第1のデータ線と第2のトンネル接合部に接続された第2のデータ線との間に電位差を与えたときに、前記ビット線に現れる電圧の参照電位に対する大小を比較することでなされることを特徴とする請求項1記

載の磁気メモリ装置。

【請求項8】磁化方向が固定された固着層と、外部磁界によって磁化方向が変化する記録層とを積層し、単一若しくは二重以上のトンネル接合を構成したトンネル接合部を複数個備えた磁気メモリセルアレイからなる磁気メモリ装置であって、前記磁気メモリセルアレイは複数のサブセルアレイからなり、

各々のサブセルアレイは、平行配置された第1、第2のデータ線と、これらのデータ線に交叉する複数のワード線と、前記データ線に交叉する複数のビット線と、複数の磁気メモリセルとからなり、

前記磁気メモリセルは、第1及び第2のトンネル接合部を含み、第1のトンネル接合部の積層方向の一端は第1のデータ線に接続され、第2のトンネル接合部の積層方向の一端は第2のデータ線に接続され、第1のトンネル接合部の積層方向の他端と第2のトンネル接合部の積層方向の他端は同一のセル選択用半導体素子を介してビット線に接続され、かつ同一サブセルアレイ内の磁気メモリセルは異なるビット線に接続されていることを特徴とする磁気メモリ装置。

【請求項9】磁化方向が固定された固着層と、外部磁界によって磁化方向が変化する記録層とを積層し、単一若しくは二重以上のトンネル接合を構成したトンネル接合部を複数個備えた磁気メモリセルアレイからなる磁気メモリ装置であって、前記磁気メモリセルアレイは複数のサブセルアレイからなり、

各々のサブセルアレイは、平行配置された第1、第2のデータ線と、これらのデータ線に交叉する複数のワード線と、前記データ線に平行に走行するビット線と、複数の磁気メモリセルとからなり、

前記磁気メモリセルは、第1及び第2のトンネル接合部を含み、第1のトンネル接合部の積層方向の一端は第1のデータ線に接続され、第2のトンネル接合部の積層方向の一端は第2のデータ線に接続され、第1のトンネル接合部の積層方向の他端と第2のトンネル接合部の積層方向の他端は同一のセル選択用半導体素子を介してビット線に接続され、かつ同一サブセルアレイ内の磁気メモリセルは同一のビット線に接続されていることを特徴とする磁気メモリ装置。

【請求項10】磁化方向が固定された固着層と、外部磁界によって磁化方向が変化する記録層とを積層し、単一若しくは二重以上のトンネル接合を構成したトンネル接合部を複数個備えた磁気メモリセルアレイからなる磁気メモリ装置であって、

前記磁気メモリセルアレイは複数のサブセルアレイからなり、

各々のサブセルアレイは、平行配置された第1、第2のサブデータ線と、これらのサブデータ線に交叉する複数の

のワード線と、前記サブデータ線と平行に走行するサブビット線と、複数の磁気メモリセルとからなり、前記磁気メモリセルは、第1及び第2のトンネル接合部を含み、第1のトンネル接合部の積層方向の一端は第1のサブデータ線に接続され、第2のトンネル接合部の積層方向の一端は第2のサブデータ線に接続され、第1のトンネル接合部の積層方向の他端と第2のトンネル接合部の積層方向の他端は同一のセル選択用半導体素子を介して同一のサブビット線に接続されてなり、第1、第2のサブデータ線はデータ線選択トランジスタを介してそれぞれ第1、第2のデータ線と接続され、前記サブビット線はビット線選択トランジスタを介してそれぞれビット線に接続されていることを特徴とする磁気メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強磁性体を用いた情報再生技術に係わり、特に強磁性トンネル接合を利用した磁気メモリ装置に関する。

【0002】

【従来の技術】磁気ランダムアクセスメモリ（以下、MRAMと略記）とは、情報の記録担体として強磁性体の磁化方向を利用して、記録情報を随時、書き換え、保持、読み出すことができる固体メモリの総称である。MRAMでは、メモリセルを構成する強磁性体の磁化方向が、ある基準方向に対して平行か反平行であるかを2進の情報“1”、“0”に対応させて情報を記録する。

【0003】記録情報の書き込みは、各セルの強磁性体の磁化方向を、クロスストライプ状に配置された書き込み線に電流を流して生じる電流磁界により反転させることによって行われる。記録保持時の消費電力は原理的にゼロであり、また電源を切っても記録保持が行われる不揮発性メモリである。

【0004】記録情報の読み出しは、メモリセルの電気抵抗が、セルを構成する強磁性体の磁化方向とセンス電流との相対角、又は複数の強磁性層間の磁化の相対角によって変化する現象、いわゆる磁気抵抗効果を利用して行う。読み出し動作は、各セルを構成する強磁性体にセンス電流を流した状態で、強磁性体の磁化方向を書き込み時と同様に電流磁界で変化させ、その際の電気抵抗の変化を電圧変化として検出して行う。この際の磁界の大きさを強磁性の保磁力よりも小さく設定することにより、非破壊読み出しを実現することが可能である。

【0005】この種のMRAMは、従来の誘電体を用いた半導体メモリとその機能を比較すると、

(a) 完全な不揮発性であり、また 10^{11} 回以上の書き換え回数が可能であること。

(b) 非破壊読み出しが可能であり、リフレッシュ動作を必要としないため読み出しサイクルを短くすることが可能であること。

(c) 電荷蓄積型のメモリセルに比べ、放射線に対する耐性が強いこと。

【0006】等の多くの利点を有している。MRAMの単位面積当たりの集積度、書き込み、読み出し時間は、概ねDRAMと同程度となりうることが予想されている。従って、不揮発性という大きな特色を生かし、携帯型デジタルオーディオ機器用の外部記録装置、無線ICカード、更にはモバイルPC用の主記憶メモリへの応用が期待されている。

10 【0007】現在実用化の検討がなされている記録容量1Mb程度のMRAMでは、セル記録情報の読み出しに、巨大磁気抵抗効果（Giant Magneto-Resistance：以下、GMR効果と略記）を用いている。GMR効果を示す素子（以下、GMR素子と略記）を用いたMRAMセルとしては、Pseudo Spin-Valve 構造（例えば、IEEE Trans. Mag., 33, 3289(1997). 参照）、反強磁性層間結合を有する三層膜を用いたもの（例えば、IEEE Trans. Comp. Pac. Manu. Tech. Pt. A, 17, 373(1994). 参照）、また硬質磁性体をピン止め層に用いた Spin-Valve 構造を有するもの（例えば、IEEE Trans. Mag., 33, 3295(1997). 参照）が知られている。

20 【0008】現在GMR素子として多く用いられている非結合型NiFe/Cu/Coの三層膜のGMR効果の値は、概ね6～8%程度である。例えば、前述の Pseudo Spin-Valve構造を用いたMRAMセルでは、記録情報読み出し時の磁化分布を制御することにより、実効的に5%以上の抵抗変化率を実現している。しかしながら、一般にGMR素子のシート抵抗は数100Ω/□程度である。従って、100Ω/□のシート抵抗と、5%の抵抗変化率を仮定した場合でも、10mAのセンス電流に対するセル読み出し信号は高々5mVに過ぎない。現在、実用化されているMOS型電界効果トランジスタでは、ソース・ドレイン間電流 I_d の値はチャネル幅 W とチャネル長 L との比(W/L)に比例しており、 $W=3.3\mu\text{m}$ 、 $L=1\mu\text{m}$ での I_d の値は0.1mA程度である。従って、ここで用いた10mAというセンス電流の値は、サブミクロンルールの加工寸法で作成されるトランジスタに対しては非常に過大である。

30 【0009】この点を解決するため、GMR素子を用いたMRAMセルでは、複数のGMR素子を直列に接続し、データ線を構成する方法が用いられる（例えば、IEEE Trans. Comp. Pac. Manu. Tech. pt. A, 17, 373(1994). 参照）。しかしながら、メモリセルを直列接続した場合、読み出し時の消費電力効率が大きく低下する欠点を有している。

40 【0010】これらの点を解決するため、GMR効果に代わり、強磁性トンネル効果（Tunnel Magneto-Resistance：以下、TMR効果と略記）を応用しようとする提案がなされている。TMR効果を示す素子（以下、TMR素子と略記）は、主として強磁性層1/絶縁層/強磁

性層2からなる三層膜で構成され、電流は絶縁層をトンネルして流れる。トンネル抵抗値は、両強磁性金属層の磁化の相対角の余弦に比例して変化し、両磁化が反平行の場合に極大値をとる。

【0011】例えば、NiFe/Co/Al₂O₃/NiFeのトンネル接合では、500e以下の低磁界において25%を超える抵抗変化率が見出されている（例えば、IEEE Trans.Mag.,33.3553(1997)参照）。TMR素子のセル抵抗値は、典型的には接合面積（ μm^2 ）当たりで $10^1 \sim 10^6 \Omega$ である。従って、仮に $1 \mu\text{m}^2$ セルにおいて抵抗値 $10 \text{ k}\Omega$ 、抵抗変化率25%を仮定すると、 $10 \mu\text{A}$ のセンス電流で 2.5 mV のセル読み出し信号が得られる。

【0012】TMR素子を用いたMRAMセルアレイでは、データ線上に複数のTMR素子を並列接続する。その詳細構造としては、

(1) 各々のTMR素子に選択用の半導体素子を配置したもの。

(2) データ線毎に選択トランジスタを配置したもの。

(3) 複数のTMR素子をマトリックス状に配置し、行データ線、列データ線毎に選択トランジスタを配置したもの（例えば、J.Appl.Phys.,81.3758(1997)参照）。が提案されている。その中で(1)の方式が、セル出力電圧、読み出し時の消費電力効率の面で最も優れた特性を有している。しかしながら、(1)の方式のMRAMセルアレイでは、読み出し時にTMR素子に接続した半導体素子に電流を流す必要がある。半導体素子としては、MOS型電界効果トランジスタの他、電界効果トランジスタのゲート・ドレイン間を短絡したダイオード素子、またpn接合、ショットキー接合を用いたダイオード素子が用いられる。従って、それら半導体素子の特性にばらつきが生じている場合、それに起因した雑音が無視できない。

【0013】例えば、MOSTランジスタの場合、 $0.25 \mu\text{m}$ ルールではソース・ドレイン間の電圧降下は 100 mV 以上に達する。即ち、半導体素子の特性に10%のばらつきが存在すると、それにより 10 mV 以上の雑音が現れる。また、これに加え、データ線に結合した雑音、またセンスアンプの特性ばらつきによる雑音等、周辺回路に発生する雑音も考慮すると雑音レベルは $> 10 \text{ mV}$ にもなり、現在の $20 \sim 30 \text{ mV}$ 程度のセル出力電圧では数dB程度の信号-雑音比しか得られない。

【0014】信号-雑音比を向上させるため、従来のMRAMセルアレイでは、選択した単一のメモリセルの出力電圧 V を参照電圧 V_{ref} と比較し、その差分電圧 V_{diff} を差動増幅する方法が多く用いられている。これは、第1にはメモリセルが接続するデータ線対に生じる雑音を除去する目的、第2にはセンス線駆動用又はセル選択用半導体素子の特性ばらつきによるセル出力電圧 V のオフセットを除去するのが目的である。参照電圧 V

V_{ref} の発生回路としては、半導体素子を用いた回路の他、ダミーセルが用いられている。しかしながらこの方法では、選択したメモリセルと参照電圧の発生回路とは、それぞれ別個のセル選択用半導体素子に接続されており、半導体素子の特性ばらつきによるセル出力電圧 V のオフセットを完全に除去することは不可能である。

【0015】さらに従来技術では、参照電圧 V_{ref} は、セル情報“1”、“0”に対応したセル出力電圧 V_f 、 V_{af} の中間電圧とする場合が一般的である。例えば、電流センス、電圧検出の場合、センス電流値を I_s 、セルに用いられているTMR素子の抵抗値を R 、磁気抵抗変化率を MR とすると、 V_f 、 V_{af} は次のように、

$$V_f = R(1 - MR/2) \times I_s \quad \dots (1)$$

$$V_{\text{af}} = R(1 + MR/2) \times I_s \quad \dots (2)$$

と書ける。

【0016】参照電圧を V_f 、 V_{af} の中間電圧とすると、センスアンプに入力する差分電圧は次のようになる。

【0017】

$$V_{\text{diff}} = R \times MR \times I_s / 2 \quad \dots (3)$$

分母の2は参照電圧 V_{ref} を中間電圧に設定しているためである。電圧センス、電流検出の場合、バイアス電圧を V_{bias} 、電流検出用の負荷抵抗を R_L とすると、同様に

$$V_f = V_{\text{bias}} \times R_L / R(1 - MR/2) \quad \dots (4)$$

$$V_{\text{af}} = V_{\text{bias}} \times R_L / [R(1 + MR/2)] \quad \dots (5)$$

$$V_{\text{diff}} = V_{\text{bias}} \times R_L / R \times MR/2 \quad \dots (6)$$

となる。但し、(6)式の導出過程で $MR \ll 1$ であることを考慮した。

【0018】従って従来技術では、TMR素子の磁気抵抗変化率の半分しか利用することが出来ない。

【0019】これらの点を解決するために、例えば強磁性層1と強磁性層2とが強磁性又は反強磁性結合したTMR素子を用い、情報の読み出し時に電流磁界を併用する方法も考えられている（例えば、米国特許5,734,605号参照）。しかしながらこの方法では、読み出し時の消費電力が大きくなり、携帯型機器への応用には適さない。

【0020】また二つのTMR素子にそれぞれ選択用トランジスタを配置してメモリセルを構成した方法も開示されている（例えば、ISSCC 2000 Digest paper TA7.2参照）。この方法では、二つのTMR素子の記録層の磁化方向を常に反平行としたまま、書き込みを行う。即ち、常にどちらかの素子の磁化配列が反平行、他方が平行状態となる相補書き込みを用いている。この方法では、二つの素子からの出力を差動増幅することで、同相雑音を除去しS/Nを向上させている。しかしながら、1セルに二つの選択用トランジスタを用いているため、セル面積が増大し、集積度が低下するという問題を有している。

【0021】

【発明が解決しようとする課題】上述のように、TMR素子をメモリセルに応用することにより、読み出し時のセンス電流の低減とセル出力信号の増大を同時に実現することができ、従来用いられているGMR効果を用いたMRAMに比べより高密度のMRAMを提供することが可能である。しかしながら、TMR素子をメモリセルに用いた場合でも、セル出力電圧は数10mV程度であり、センス線駆動用又はセル選択用半導体素子の特性ばらつきに起因する雑音、またデータ線、周辺回路からの雑音の大きさを考えると、現状では十分な信号-雑音比は得られていない。信号-雑音比を改善するために、電流磁界を併用する方法も考案されているが、読み出し時の消費電力が増大するという欠点を有している。

【0022】本発明は、上記事情を考慮して成されたもので、その目的とするところは、読み出し時のセル出力電圧を大きくすることができ、且つ読み出し時の消費電力の増大を招くことなく信号-雑音比を改善することができ、低消費電力と高速読み出し性を兼ね備えた磁気メモリ装置を提供することにある。

【0023】

【課題を解決するための手段】（構成）上記課題を解決するために本発明は次のような構成を採用している。

【0024】即ち本発明は、磁化方向が固定された固着層と、外部磁界によって磁化方向が変化する記録層とを積層し、単一若しくは二重以上のトンネル接合を構成したトンネル接合部を複数個備えた磁気メモリ装置であって、情報の記録単位であるメモリセルは第1及び第2のトンネル接合部を含み、第1のトンネル接合部の積層方向の一端と第2のトンネル接合部の積層方向の一端はそれぞれ別のデータ線に接続され、第1のトンネル接合部の積層方向の他端と第2のトンネル接合部の積層方向の他端は同一のセル選択用半導体素子を介してビット線に接続されていることを特徴とする。

【0025】また本発明は、磁化方向が固定された固着層と、外部磁界によって磁化方向が変化する記録層とを積層し、単一若しくは二重以上のトンネル接合を構成したトンネル接合部を複数個備えた磁気メモリセルアレイからなる磁気メモリ装置であって、前記磁気メモリセルアレイは複数のサブセルアレイからなり、各々のサブセルアレイは、平行配置された第1、第2のデータ線と、これらのデータ線に交叉する複数のワード線と、前記データ線に交叉する複数のビット線と、複数の磁気メモリセルとからなり、前記磁気メモリセルは、第1及び第2のトンネル接合部を含み、第1のトンネル接合部の積層方向の一端は第1のデータ線に接続され、第2のトンネル接合部の積層方向の一端は第2のデータ線に接続され、第1のトンネル接合部の積層方向の他端と第2のトンネル接合部の積層方向の他端は同一のセル選択用半導体素子を介してビット線に接続され、かつ同一サブセル

アレイ内の磁気メモリセルは異なるビット線に接続されていることを特徴とする。

【0026】また本発明は、磁化方向が固定された固着層と、外部磁界によって磁化方向が変化する記録層とを積層し、単一若しくは二重以上のトンネル接合を構成したトンネル接合部を複数個備えた磁気メモリセルアレイからなる磁気メモリ装置であって、前記磁気メモリセルアレイは複数のサブセルアレイからなり、各々のサブセルアレイは、平行配置された第1、第2のデータ線と、これらのデータ線に交叉する複数のワード線と、前記データ線に平行に走行するビット線と、複数の磁気メモリセルとからなり、前記磁気メモリセルは、第1及び第2のトンネル接合部を含み、第1のトンネル接合部の積層方向の一端は第1のデータ線に接続され、第2のトンネル接合部の積層方向の一端は第2のデータ線に接続され、第1のトンネル接合部の積層方向の他端と第2のトンネル接合部の積層方向の他端は同一のセル選択用半導体素子を介してビット線に接続され、かつ同一サブセルアレイ内の磁気メモリセルは同一のビット線に接続されていることを特徴とする。

【0027】また本発明は、磁化方向が固定された固着層と、外部磁界によって磁化方向が変化する記録層とを積層し、単一若しくは二重以上のトンネル接合を構成したトンネル接合部を複数個備えた磁気メモリセルアレイからなる磁気メモリ装置であって、前記磁気メモリセルアレイは複数のサブセルアレイからなり、各々のサブセルアレイは、平行配置された第1、第2のサブデータ線と、これらのサブデータ線に交叉する複数のワード線と、前記サブデータ線と平行に走行するサブビット線と、複数の磁気メモリセルとからなり、前記磁気メモリセルは、第1及び第2のトンネル接合部を含み、第1のトンネル接合部の積層方向の一端は第1のサブデータ線に接続され、第2のトンネル接合部の積層方向の一端は第2のサブデータ線に接続され、第1のトンネル接合部の積層方向の他端と第2のトンネル接合部の積層方向の他端は同一のセル選択用半導体素子を介して同一のサブビット線に接続されてなり、第1、第2のサブデータ線はデータ線選択トランジスタを介してそれぞれ第1、第2のデータ線と接続され、前記サブビット線はビット線選択トランジスタを介してそれぞれビット線に接続されていることを特徴とする。

【0028】ここで、本発明の望ましい実施形態としては次のものが挙げられる。

【0029】(1) 第1、第2のトンネル接合部の抵抗値及び磁気抵抗変化率が略等しく、両方の磁化方向が常に反平行となるように記録層の書き込みがなされること（相補書き込み）。

【0030】(2) 第1、第2のTMR素子の一端はそれぞれ別の第1のデータ線及び第2のデータ線に、もう一端は同一のセル選択用半導体素子を介してビット線に接

続されていること。

【0031】(3) 情報の読み出しが、第1、第2のデータ線とビット線との間に電位差を与えたときに、第1、第2のデータ線に流れる電流量の大小を比較することでなされること。またこのとき、第1、第2のデータ線が等電位に保たれていること。

【0032】(4) 情報の読み出しが、第1、第2のデータ線に電位差を与えたときに、ビット線に現れる電圧の参照電位に対する大小を比較することでなされること。

【0033】(5) 第1のTMR素子の積層方向一端側には第1の書き込み線が配置され、第2のTMR素子の積層方向一端側には第2の書き込み線が配置され、第1のTMR素子の積層方向一端側又は他端側で、且つ第2のTMR素子の積層方向一端側又は他端側には共通の第3の書き込み線が配置され、第1の書き込み線を通る電流方向と第2の書き込み線を通る電流方向とは互いに逆方向となるように構成されていること。

【0034】(6) 第1のTMR素子と第2のTMR素子とは同一平面内に配置され、第1の書き込み線と第2の書き込み線は同一平面内に平行に配置され、第3の書き込み線と第1及び第2の書き込み線とは別の平面内にあり、第1及び第2のTMR素子近傍において交叉するように配置されていること。第1、第2の書き込み線はメモリセルアレイ領域の外側で、各々一端が接続されていること。

【0035】(7) 第1のTMR素子と第2のTMR素子とは上下方向に配置され、第1の書き込み線と第2の書き込み線は上下方向に平行に配置され、第3の書き込み線と第1及び第2の書き込み線とは異なる平面内に上下方向に平行に配置され、第3の書き込み線と第1及び第2の書き込み線とは別の平面内にあり、第1及び第2のTMR素子近傍において交叉するように配置されていること。第1、第2の書き込み線はメモリセルアレイ領域の外側で、各々一端が接続されていること。

【0036】(8) セル選択用半導体素子は、MOS型電界効果トランジスタ、電界効果トランジスタのゲート・ドレイン間を短絡したダイオード素子、又はpn接合、ショットキー接合を用いた接合型ダイオード素子であること。

【0037】(9) 一つのサブセルアレイに含まれるメモリセルの個数が1000以下であること。

【0038】(作用) 上記の構成の磁気メモリ装置において、メモリセルに対する記憶情報の読み出し方法の第1は、読み出し時にセル選択用半導体素子を低インピーダンス状態に活性化せると共に、第1、第2のデータ線とビット線との間に電位差を与えたとき第1、第2のデータ線に流れる電流量の大小を比較する。第1、第2のデータ線は等電位となるように制御する。これにより、第1のデータ線及び第2のデータ線には電位差と各々のTMR素子の抵抗値とで決まるセンス電流が流れ

る。TMR素子の抵抗値はTMR素子の固着層と記憶層との磁化の相対角が平行か、反平行であるかによって異なる。

【0039】本発明の磁気メモリ装置では、セルを構成する二つのTMR素子の抵抗値、磁気抵抗変化率は等しく、且つそれぞれの記憶層の磁化方向は互いに反平行である。従って、電位差を V_{bit} 、第1のTMR素子の抵抗値を $R(1-MR/2)$ 、第2のTMR素子の抵抗値を $R(1+MR/2)$ とすると、第1、第2のデータ線に流れるセンス電流の値 I_1 、 I_2 は、

$$I_1 = V_{bit} / R(1-MR/2) \quad \dots (7)$$

$$I_2 = V_{bit} / R(1+MR/2) \quad \dots (8)$$

となる。

【0040】即ち、センス電流の差分 I_{diff} は $I_{diff} = V/R \times MR$ となり、従来技術に比べ大きな差分信号を得ることができる。メモリセルは電流駆動型素子であるため、TMR素子に直列に接続したセル選択用半導体素子の導通時の抵抗にばらつきが生じると、結果として出力信号にばらつきが生じる。本発明では、第1のTMR素子と第2のTMR素子とは同一のセル選択用半導体素子を共有するため、半導体素子の特性ばらつきに起因するばらつきを完全に除去することが可能である。これは、従来技術にない大きな利点である。

【0041】また、読み出し方法の第2は、読み出し時に、セル選択用半導体素子を低インピーダンス状態に活性化させると共に、第1、第2のデータ線間に電位差を与えたとき、ビット線に現れる電圧の参照電位に対する大小を比較する。第1、第2のデータ線間の電位差を V 、第1のTMR素子の抵抗値を $R(1-MR/2)$ 、第2のTMR素子の抵抗値を $R(1+MR/2)$ とすると、第2のデータ線とビット線間の電位差は、 $V = V_{bit} / 2 \times (1+MR/2) \quad \dots (9)$ となる。

【0042】従って、参照電圧 V_{ref} を $V_{ref} = V_{bit} / 2 \quad \dots (10)$

に設定すると、差分電圧は $V_{diff} = V_{bit} / 2 \times MR/2 \quad \dots (11)$

となる。

【0043】本読み出し法では、参照電圧を用いているため第1の読み出し法に比べ差分電圧の変化量が少なくなるが、(1) TMR素子に流れる電流値に全く依存しない。即ち、メモリセルアレイ中のメモリセル数が変化して、DL、/DL間のインピーダンスが変化した場合にも、出力への影響が生じない、(2) バイアス電圧を二つのTMR素子で分割するため、MRのバイアス電圧依存性を軽減できる、(3) ビット線には殆ど電流が流れないため、選択用半導体素子の特性ばらつきを除去できる、といった大きな利点を有する。

【0044】一方、本発明の磁気メモリ装置において、メモリセルに対する記憶情報の書き込みは、第1、2の

書き込み線と第3の書き込み線に電流を流して行われる。この際、第1、2の書き込み線と第3の書き込み線の交叉領域でのみ電流磁界の値がTMR素子の反転磁界を上回るように設定すれば、書き込み時におけるセル選択が実現できる。

【0045】本発明の磁気メモリ装置では、第1のTMR素子に配置された第1の書き込み線を通る電流方向と、第2のTMR素子に配置された第2の書き込み線を通る電流方向とは互いに逆方向である。即ち、本発明の磁気メモリ装置では、書き込み動作においてメモリセルの構成する第1及び第2のTMR素子の記憶層の磁化方向は常に反平行となる。情報“1”、“0”の区別は、例えば第1のTMR素子を基準として、素子の固着層と記憶層との磁化の相対角が平行か、反平行であるかによって行う。

【0046】

【発明の実施の形態】以下、本発明の詳細を図示の実施形態によって説明する。

【0047】（第1の実施形態）図1は、本発明の第1の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。

【0048】図中破線で囲まれた領域がメモリセル201に対応し、このメモリセル201は2つのTMR素子と選択トランジスタから構成されている。即ち、1段目のメモリセルはTMR素子11、21と選択トランジスタ31から構成され、2段目のメモリセルはTMR素子12、22と選択トランジスタ32から構成され、3段目のメモリセルはTMR素子13、23と選択トランジスタ33から構成され、4段目のメモリセルはTMR素子14、24と選択トランジスタ34から構成されている。図では後述するデータ線方向に対してメモリセルを4個配列しているが、この配列数が適宜変更可能であるのは勿論である。

【0049】1段目のメモリセル201において、2つのTMR素子11の一端はデータ線DLに接続され、TMR素子21の一端はデータ線/DLに接続されている。TMR素子11、21の各他端は、セル選択トランジスタ31を介して同一のビット線BLに接続されている。2段目以降のメモリセルにおいても同様に、TMR素子の一端はデータ線DL、/DLにそれぞれ接続され、他端はセル選択トランジスタ（32～34）を介して同一のビット線BLに接続されている。

【0050】選択トランジスタ31～34には、それぞれ独立したワード線WL1～WL4が配置されている。後述のように隣接するメモリセルアレイとは、選択トランジスタのドレイン領域、ビット線を共有している。データ線DL、/DLは、共通のワード線DSLを持つ選択トランジスタを介して電流検出型差動アンプ401に接続されている。ビット線BLには、ワード線BSLが接続した選択トランジスタを介してバイアス電圧クラン

プ回路420が接続されている。

【0051】次に、メモリセル201を例にとってこの回路の動作を説明する。

【0052】今、TMR素子11の記録層と固着層の磁化配列が平行状態、TMR素子21が反平行状態である場合を考える（記録情報“1”）。初期状態では、WL1、BSL、DSLの電位は0である。次いで、DSL、BSLの電位をそれぞれ V_{b1} として、DLにゼロ電位を、BLに V_{b1} を与えた状態で、WL1を V_{b1} として選択トランジスタ31を導通させる。TMR素子11の抵抗値を $R(1-MR/2)$ 、TMR素子21の抵抗値を $R(1+MR/2)$ とすると、DL、/DLに流れるセンス電流の値 I_1 、 I_2 は、

$$I_1 = V_{b1} / R(1-MR/2) \quad \dots (12)$$

$$I_2 = V_{b1} / R(1+MR/2) \quad \dots (13)$$

となる。

【0053】即ち、 $I_1 > I_2$ であり、その差は $I_{11} = V/R \times M$ である。記録情報“0”、即ちTMR素子11の磁化配列が反平行状態、TMR素子21が平行状態である場合には、 I_1 、 I_2 は次のようになる。

$$I_1 = V_{b1} / R(1+MR/2) \quad \dots (14)$$

$$I_2 = V_{b1} / R(1-MR/2) \quad \dots (15)$$

即ち、 $I_1 < I_2$ であり、その差は記録情報“1”の場合と等しい。従って、電流検出型差動アンプ401により I_1 、 I_2 の大小を比較することで情報の読み出しが可能となる。

【0054】図2は、本実施形態でのデータ線DL、/DLに流れる電流値 I_1 、 I_2 の変化を時間変化として示したものである。ここで、バイアス電圧 V_{b1} は400mV、TMR素子11、21の抵抗値は所定バイアスで平行状態で40k Ω 、反平行状態で60k Ω である。WL1の電位を5ns～10nsの期間 V_{b1} に保持した。上述のように素子抵抗値に応じてDL、/DLに異なる値のセンス電流が流れていることが分かる。若干時間遅れが生じているのは、データ線浮遊容量の影響である。

【0055】図3には、複数のメモリセルの記録情報を連続的に読み出した際の波形を示した。本実施形態では、低インピーダンスのデータ線DL、/DLを電流駆動するため、図2に示したようにデータ線浮遊容量による遅延は0.5ns以下と極めて小さい。このような高速読み出し性は、本発明の大きな利点である。

【0056】本実施形態では、選択セル以外の素子は、データ線DL、/DLを短絡する抵抗として機能し、その抵抗値は記憶情報に関係なく2Rである。例えば、データ線DL、/DLにN+1個のセルが接続している場合を考えると、その等価回路は図4のようになる。この回路では、データ線DL、/DL間が2R/Nの抵抗で短絡されている。選択セルからデータ線DL、/DLにセンス電流が流れている状態では、データ線DL、/D

Lの配線抵抗RDにより、DL、/DLには僅かに電位差が生じ、それにより短絡抵抗RDに電流が流れ結果として、DL、/DLの電流差を打ち消す方向に働く。

【0057】図5は、図4の等価回路を用いたシュミレーションの結果である。ここでは、 $R=250\text{ k}\Omega$ を仮定した。短絡抵抗 R_{short} の大きさが $2.5\text{ k}\Omega$ 、即ち接続セル数 $N=100$ では電流差の減少は10%以内であり、実用上問題がない。接続セル数 $N=1000$ では電流差の減少は50%を超え、相補読み出しにより出力信号が2倍に増大するという本発明の利点が失われる。従って本実施形態では、セルブロック当たりのメモリセル数は100以下とすることが好ましく、多くても1000以下とする必要がある。

【0058】図6は、本実施形態の磁気メモリアレイを構成するTMR素子と書き込み線の配置を模式的に示した図である。図6において、10~14及び20~24はTMR素子、51、52は書き込み線である。ここでは理解を容易とするため、TMR素子と書き込み線以外の構造は省略してある。図中の破線で囲まれた部分が情報の記録単位であるメモリセル201の一つの領域を示している。なお図では、書き込み線51の配列方向に沿ってメモリセルを5個配列しているが、この配列個数は適宜変更可能である。

【0059】メモリセル201には、二つのTMR素子（第1のTMR素子11と第2のTMR素子21）が含まれており、それぞれの素子領域において、書き込み線51と書き込み線52とが垂直に交差している。各々のTMR素子11、21は、後述のように単一乃至は二重以上の多重トンネル接合を構成しており、磁化方向が固定された固着層と、外部磁界によってその磁化方向が変化する記憶層とを有している。また、その抵抗値、磁気抵抗変化率及び記録層の反転磁界の大きさは、両素子で等しくなるように製造されている。書き込み線51はU字型に折り返した形状を有しており、TMR素子11とTMR素子21とでは電流の走行方向が逆向きとなるように配置されている。

【0060】メモリセル201への記録情報の書き込みは、書き込み線51と書き込み線52を用いて行う。今、仮に書き込み線51の一端511の電位を他端512に比べ高く設定すると、書き込み線51には図示の矢印のように書き込み電流が流れる。書き込み電流の方向は、TMR素子21に対しては紙面右上、TMR素子11に対しては紙面左下である。この書き込み電流により、書き込み線の周囲には図中破線の矢印で示す方向の電流磁界が生じるが、その向きは、TMR素子21に対しては紙面左、TMR素子11に対しては紙面右である。従って、この電流磁界により、TMR素子11とTMR素子21の磁化方向が常に逆向きとなるような記録情報の書き込みが実現できる。

【0061】情報“1”、“0”の区別は、例えばTM

R素子11の記録層の磁化と固着層の磁化の相対角が平行か反平行であるかで行えばよい。また、情報“1”、“0”の書き換えは、書き込み線51に流す書き込み電流の方向を反転することで容易に行われる。なお、書き込み線51において、端子511につながる方を第1の書き込み線51aとし、端子512につながる方を第2の書き込み線51bとする。

【0062】書き込み時にセル選択を行うためには、書き込み線51の他に、書き込み線52（第3の書き込み線）を併用する。即ち、図示のように書き込み線52に紙面左上方向の書き込み電流を流すと、書き込み線52の周囲には図中破線の矢印で示す方向の電流磁界が生じる。書き込み線52からの電流磁界の方向は、TMR素子11、21で同方向であり、書き込み線51からの電流磁界方向に垂直である。従って、書き込み線51からの電流磁界の値がTMR素子11、21の反転磁界に比べ小さく、かつ書き込み線51、52からの合成の電流磁界の値が反転磁界に比べ大きくなるように、それぞれの書き込み線51、52に流す書き込み電流の値を設定すれば、セル選択書き込みが実現できる。

【0063】なお、上記のように直交する電流磁界を用いてセル書き込みを行う際には、TMR素子の記録層の磁化容易軸を書き込み線51からの電流磁界方向と平行にすることが好ましい。また、書き込み線51、52はTMR素子近傍において必ずしも直交する必要はなく、任意の角度であってもよい。

【0064】図7は、図1に対応したメモリセル201の平面構造を示している。本実施形態のメモリセルは、一つの構造中に二つのTMR素子を有し、TMR素子はSi基板70上に作製されるメモリセルの多層構造において、半導体回路部に形成される。

【0065】図7において、71はセル選択トランジスタのドレイン領域、72はセル選択トランジスタのソース領域、41、42はデータ線、30はセル選択トランジスタのワード線、44はTMR素子11、21の下層に形成されたセルノード、45はセルノード44とセル選択トランジスタのドレイン領域とのコンタクトである。セル選択トランジスタのソース領域72は、図中では省略されている隣接するメモリアレイのメモリセルと共有されており、ビット線に接続されている。素子分離領域を考慮すると、1メモリセルの寸法は $20\sim 25\lambda^2$ となる。ここで、 λ はデータ線間隔である。

【0066】本実施形態では、二つのTMR素子で一つのトランジスタを共有するため、二つのTMR素子が各々トランジスタを持つ差動増幅法に比べて、セル面積を半減することが可能である。

【0067】図8は、図7のメモリセル平面構造における矢視A-A'断面(a)及び矢視B-B'断面(b)を示す模式図である。Si基板70上に形成される半導体回路部と各金属層との間には、SiO₂等の層間絶縁膜

60により分離されている。TMR素子11, 21は、記録層101/絶縁層102/固着層103とからなる積層膜で構成されている。TMR素子11, 21は、共通のセルノード44上に形成されている。セルノード44は、セル選択トランジスタとTMR素子11, 21との電気的なコンタクトを得るために形成されており、その材料としてはW, Al, Ta等の非磁性導電性膜が用いられる。

【0068】なお、本実施形態では、書き込み線51, 52とデータ線41, 42を分離した構造を示しているが、図9に示すように両者を共有し、データ線41, 42に書き込み線51の機能を付与させることも可能である。この場合、図8に示す書き込み線51に対応するメタル配線層が不要となる。またこの場合は、書き込み動作時にデータ線41, 42がその一端において短絡されることが必要となるが、この短絡機構は従来公知であるところの回路技術を用いて容易に構成が可能である。データ線41, 42は多数個TMR素子で互いが接続されているが、TMR素子の接合抵抗はデータ線の配線抵抗に比べ十分大きいので、複数個接続した場合にも、書き込み時にTMR素子を経由して流れる書き込み電流の大きさは無視することが可能である。

【0069】セルノード44の下部及びTMR素子のコンタクト部位に、金属の相互拡散を防止するための、例えばTiN, TaN等の導電性金属窒化物からなるバリアメタルを設けることは好ましい形態である。また、固着層103の結晶性、結晶配向を制御するために、Au, Pt, Ta, Ti, Cr等のシード層を設けてもよい。

【0070】固着層103は、Fe, Co, Ni若しくはそれらの合金の薄膜からなる。固着層の磁化方向は、情報書き込み、読み出し時における基準方位を定める。従って、その反転磁界は、後述の記録層の反転磁界に比べて十分に大きいことが求められる。この目的では、例えばMn合金等の金属反強磁性体とFe, Co, Ni若しくはそれらの合金の積層膜、又は層間反強磁性結合したFe, Co, Ni若しくはそれらの合金とCu, Ru等の非磁性金属との交互積層膜を用いることが好ましい。

【0071】絶縁層102はAl酸化膜からなり、固着層103上にアルミナを直接スパッタして形成される。具体的には、2nm以下のAl膜を形成後、該Al膜を酸素プラズマにより酸化して形成される。絶縁層102に用いられる材料には、2nm以下の極めて薄い膜厚で良好な絶縁特性を有することが求められる。その材料としては、上記アルミナスパッタ膜の他、例えばAlのプラズマ酸化膜、自然酸化膜又は直接成膜されたAlN膜等が利用可能である。また、絶縁体中に金属微粒子を分散させた構造、更には数nmの金属超薄膜を挟み込んだ構造も可能である。これらの複合構造を有する絶縁膜を

用いると、構造設計によりセル抵抗値を容易に制御することができ、実施上好ましい。

【0072】記録層101は、Fe, Co, Ni若しくはそれらの合金からなる薄膜からなる。情報の書き込み時における消費電力を低減するため、記録層の反転磁界はできるだけ小さい方が望ましい。好適な反転磁界の大きさは30~500eである。記録層の反転磁界を小さくする目的で、例えば電動電子のスピン偏極度の高いCoFe合金膜と軟磁気特性を有するNiFe合金膜とを積層した膜を用いるのは好ましい形態である。また、Fe, Co, Niとそれ以外の元素との合金、化合物を用いてもよい。

【0073】記録層101の上層には、W, Al, Cu等の非磁性導電性膜からなるデータ線41, 42が配置されるが、これらとの相互拡散を防止するための、例えばTiN, TaN等の導電性金属窒化物からなるバリアメタルをコンタクト部位に設けることは好ましい形態である。なお、TMR素子部以外の構成並びに製造法については、従来公知であるところの半導体素子製造技術を用いることができ、詳細な説明は省略する。

【0074】このように本実施形態では、2つのTMR素子（例えば11, 21）から一つのメモリセル（例えば201）を構成し、平行配置された書き込み線51a, 51bとこれに直交する書き込み線52との交差部にメモリセルをそれぞれ配置しているため、書き込み線51a, 51bと書き込み線52に電流を流すことにより、任意のメモリセルに対して選択的に書き込みを行うことができる。

【0075】書き込み線51a, 51bを流れる電流方向は互いに逆方向であり、書き込み動作において1つのメモリセル201を構成する2つのTMR素子11, 21の記憶層101の磁化方向は常に反平行となることから、記憶情報の読み出しに際してTMR素子11, 21の各出力の差分を取ることで、従来技術に比べ大きな差分電圧を得ることができる。具体的には、読み出し時にセル選択トランジスタ31を導通させると共に、第1, 第2のデータ線DL, /DLとビット線BLとの間に電位差を与えたときDL, /DLに流れる電流 I_1, I_2 の大小を電流検出型差動アンプ401により比較することにより、記憶情報を読み出すことができる。

【0076】従って本実施形態によれば、読み出し時のセル出力電圧を大きくすることができ、且つ読み出し時の消費電力の増大を招くことなく信号-雑音比を改善することができ、低消費電力と高速読み出し性を兼ね備えることが可能となる。また、TMR素子11とTMR素子21とは同一のセル選択トランジスタ31を共有するため、トランジスタの特性ばらつきによるセル出力電圧のオフセットを完全に除去することも可能である。

【0077】（第2の実施形態）図10は、本発明の第2の実施形態に係わる磁気メモリセルアレイを構成する

TMR素子と書き込み線の配置を模式的に示した図である。

【0078】図10において、10～14及び20～24はTMR素子、51、52は書き込み線である。ここでは理解を簡単にするため、TMR素子と書き込み線以外の構造は省略してある。図中の破線で囲まれた部分が、情報の記録単位であるメモリセル201の領域を示している。

【0079】メモリセル201には、2つのTMR素子11と21とが含まれており、それぞれの素子領域において、書き込み線51と書き込み線52とが垂直に交差している。書き込み線51は上下方向にU字型に折り返した形状を有しており、TMR素子11とTMR素子21とでは電流の走行方向が逆向きとなるように配置されている。本実施形態では、第1の実施形態と異なり、TMR素子11、21と書き込み線51は膜面に垂直方向の同一平面内に配置される。

【0080】即ち、書き込み線51は、垂直方向に平行に配置された第1の書き込み線51aと第2の書き込み線51bからなり、各々の書き込み線51a、51bの一端はセル配置領域の外部で接続されている。書き込み線51aの下面にTMR素子10～14がそれぞれ配置され、書き込み線51bの上面にTMR素子20～24がそれぞれ配置され、TMR素子は10と20、11と21、12と22、13と23、14と24が垂直方向に対向配置されている。そして、例えばTMR素子11、21からなるメモリセル201に対しては、第1及び第2の書き込み線51a、51b間の中間位置に、書き込み線51a、51bに直交するように、第3の書き込み線52が配置されている。それ以外の構成、機能は第1の実施形態と同様であり、ここではその詳細な説明は省略する。

【0081】図11は図10に対応したメモリセル201の平面構造を示し、図12は図11に対応したメモリセルの矢視A-A'断面(a)及び矢視B-B'断面(b)を模式的に示している。

【0082】本実施形態では第1の実施形態とは異なり、共通のセルノード44、44'が上下2層に設けられ、上側のTMR素子11の下端にセルノード44が接続され、下側のTMR素子21の下端にセルノード44'が接続されている。そして、TMR素子11の記録層101の上層にはデータ線41が接続され、TMR素子21の記録層101'の上層にはデータ線42が接続されている。

【0083】このように本実施形態では、第1の実施形態と異なり、TMR素子11、21と書き込み線51、さらにデータ線41、42は膜面に垂直方向の同一平面内に配置される。それ以外の構成、機能は第1の実施形態と同様であり、第1の実施形態と同様の効果が得られる。また本実施形態では、2つのTMR素子11、21

が上下方向に配置されるため、1つのメモリセルの面積は第1の実施形態に比べ小さくなり、およそ10～12 λ^2 である。

【0084】(第3の実施形態)図13は、本発明の第3の実施形態の磁気メモリアレイを構成するTMR素子と書き込み線の配置を模式的に示した図である。

【0085】図13において、10～14及び20～24はTMR素子、51、52は書き込み線である。ここでは理解を簡単にするため、TMR素子と書き込み線以外の構造は省略してある。図10に示した第2の実施形態とは異なり、第3の書き込み線52が第1、第2の書き込み線51a、51bの間ではなく、第2の書き込み線52bの下を通っている。

【0086】図14は、第3の実施形態におけるメモリセルの断面構成を模式的に示した図である。本実施形態では第1、第2の実施形態とは異なり、共通のセルノード44の上側にTMR素子11が、下側にTMR素子21が形成されている。そして、TMR素子11の記録層101の上層にはデータ線41が接続され、TMR素子21の記録層101'の下層にはデータ線42が接続されている。

【0087】また本実施形態では、セルノード44が強磁性体からなり、これがTMR素子11とTMR素子21の共通する固着層としての機能を有することを特徴とする。即ち、TMR素子11は記録層101、絶縁層102、セルノード44から、TMR素子21は記録層101'、絶縁層102'、セルノード44からそれぞれ構成される。

【0088】このような構成をとることで本実施形態では、第2の実施形態に比べセルレイの製造が容易になるだけでなく、TMR素子11とTMR素子21の特性ばらつきが小さくなるという利点を有する。なお、セルノード44はTMR素子11、21を構成する部分のみが強磁性体であればよく、それ以外の部分には非磁性体を用いても差し支えない。

【0089】本実施形態によれば、TMR素子及び書き込み配線が膜面方向に積層されているため、セル面積の大幅な低減が可能である。 λ はデータ線間隔としたとき、1メモリセルの寸法は10～15 λ^2 となり、第1の実施形態と比べ約半分のセル面積を実現できる。

【0090】(第4の実施形態)図15は、本発明の第4の実施形態に係わる磁気メモリアレイの電氣的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0091】図中破線で囲まれた領域がメモリセル201に対応し、二つのTMR素子は、それぞれ独立したデータ線DL、DLにその一端が接続され、他端はセル選択トランジスタを介して同一のビット線BLに接続されている。選択トランジスタ31～34にはそれぞれ独立したワード線WL1～WL4が配置されているが、選

択トランジスタ31と32、及び33と34はそれぞれドレイン領域を共有している。データ線DL、/DLはワード線DSLを持つ選択トランジスタを介して電流検出型差動アンプ401に接続され、ビット線BLはワード線BSLに接続した選択トランジスタを介してバイアス電圧クランプ回路420に接続されている。

【0092】本実施形態では、隣接セルが選択トランジスタのドレイン領域及びビット線を共有していることが特徴である。このように隣接セルがビット線を共有することで、ビット線本数を半分に削減できるという利点を有する。

【0093】(第5の実施形態)図16は、本発明の第5の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0094】図中破線で囲まれた領域がメモリセル201に対応し、各々のセルにおいてTMR素子は、それぞれデータ線DL、/DLにその一端が接続され、他端はセル選択トランジスタを介してそれぞれ別のビット線BL1、BL2に接続されている。選択トランジスタ31～34にはそれぞれ独立したワード線WL1～WL4が配置されているが、選択トランジスタ31と32、及び33と34はそれぞれドレイン領域を共有している。データ線DL、/DLは、共通のワード線DSLを持つ選択トランジスタを介して電流検出型差動アンプ401に接続されている。

【0095】ビット線BL1、BL2はデータ線DL、/DLと平行に走行するビット線CBL1、CBL2に接続されている。そして、CBL1、CBL2はメモリセルアレイ領域外で、それぞれ独立したワード線BSL1、BSL2を持つ選択トランジスタを介してバイアス電圧クランプ回路420に接続されている。

【0096】本実施形態では、ビット線BLがデータ線DL、/DLと交叉して走行し、隣接メモリセルアレイで共有されていることが特徴である。そして、隣接メモリセルアレイがBLを共有し、最終的にDL、/DLと平行に走行する一本のCBLで接続する形態をとることにより、DL、/DLに重複して平行に走行する配線の本数を大きく削減することが可能となり、アレイ面積の一層の低減が可能となるという利点を有している。なお、BL、WLが平行に走行している場合、BL、WLを同時活性化することにより、行方向のメモリセルが一時に読み出される、いわゆるページモード読み出しが可能となる。

【0097】(第6の実施形態)図17は、本発明の第6の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0098】図中破線で囲まれた領域がメモリセル201に対応し、二つのTMR素子は、それぞれ独立したデ

ータ線DL1、/DLにその一端が接続され、他端はセル選択トランジスタを介して同一のビット線BL1に接続されている。また、このメモリセルとワード線方向に隣接するメモリセルは、二つのTMR素子の一端がデータ線DL2、/DLにそれぞれ接続され、他端がセル選択トランジスタを介して同一のビット線BL2に接続されている。即ち、ワード線方向に隣接するメモリセルで/DLを共有している。

【0099】選択トランジスタ31～34には、それぞれ独立したワード線WL1～WL4が配置されている。データ線DL1、/DLは、共通のワード線DSL1を持つ選択トランジスタを介して電流検出型差動アンプ401に接続されている。/DLは隣接メモリセルアレイと共有しているが、選択トランジスタは異なっており、DL2、/DLは共通のワード線DSL2を持つ選択トランジスタを介して電流検出型差動アンプ401に接続されている。ここで、DL1とDL2が選択トランジスタのワード線を共有化しないのは、DL2を通じた迷走電流を防ぐためである。

【0100】本実施形態では、隣接メモリセルアレイが、データ線/DLを共有していることが特徴である。このようにデータ線を共有することにより、アレイ面積の一層の低減が可能となるという利点を有している。

【0101】(第7の実施形態)図18は、本発明の第7の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0102】図中破線で囲まれた領域がメモリセル201に対応し、二つのTMR素子は、それぞれサブデータ線sDL、/sDLにその一端が接続されている。TMR素子の他端は、セル選択トランジスタを介して同一のサブビット線sBLに接続されている。選択トランジスタ31～34には、それぞれ独立したワード線WL1～WL4が配置されている。

【0103】サブデータ線sDL、/sDL及びサブビット線sBLは、共通のワード線SASLを持つ選択トランジスタを介して、それぞれデータ線DL、/DL、ビット線BLに接続されている。データ線DL、/DLは、共通のワード線DSLを持つ選択トランジスタを介して電流検出型差動アンプ401に接続されている。また、ビット線BLはメモリセルアレイ領域外で、ワード線BSLを持つ選択トランジスタを介してバイアス電圧クランプ回路420に接続されている。

【0104】本実施形態では、メモリセルアレイがデータ線方向に分割されて、サブセルアレイを形成していることが特徴である。このような構成を用いることで、アレイ面積を極端に増大させることなく、セルアレイ中のメモリセルの個数を低減させることが可能となる。これにより、メモリセル個数の増大による出力信号低下の問題を回避することが可能となる。

21

【0105】(第8の実施形態)図19は、本発明の第8の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0106】図中破線で囲まれた領域がメモリセル201に対応し、二つのTMR素子は、それぞれサブデータ線sDL、/sDLにその一端が接続されている。TMR素子の他端は、セル選択トランジスタを介してビット線BLに接続されているが、データ線方向に配列された各々のメモリセルでそれぞれ独立したビット線BL1~

BL4に接続されている。

【0107】選択トランジスタ31~34には、それぞれ独立したワード線WL1~WL4が配置されている。サブデータ線sDL、/sDLは、共通のワード線SASLを持つ選択トランジスタを介して、データ線DL、/DLに接続されている。データ線DL、/DLは、共通のワード線DSLを持つ選択トランジスタを介して電流検出型差動アンプ401に接続されている。

【0108】本実施形態では、ビット線BLがデータ線DL、/DLに交差して走行しているのが特徴であり、ビット線BLを書き込み線と兼用することが可能である。

【0109】(第9の実施形態)図20は、本発明の第9の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0110】図中破線で囲まれた領域がメモリセル201に対応する。各々のメモリセルにおいて、一方のTMR素子の一端はそれぞれデータ線DLR1~4に接続され、他方のTMR素子の一端は同一のデータ線DLCに接続されている。そして、TMR素子の各他端は、セル選択トランジスタを介して同一のビット線BLに接続されている。選択トランジスタ31~34には、それぞれ独立したワード線WL1~WL4が配置されている。ビット線BLは、メモリセルアレイ領域外で、ワード線BSLを持つ選択用トランジスタを介してバイアス電圧クランプ回路420に接続されている。

【0111】本実施形態では、データ線対DLR、DLCが交叉して走行し、同様にBLがWLに交差して走行しているのが特徴である。また、ワード線方向にはビット線の共有も行われていないため、読み出し時のセル選択をBL、WL電位を制御することで一意に行うことができ、選択セル以外にバイアス電圧が印加されることはない。さらに、データ線対DLR、DLCが交叉しているため、非選択セルがデータ線対を短絡することがない。従って、安定かつ消費電力効率の高い動作が期待できる。

【0112】(第10の実施形態)図21は、本発明の第10の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分

22

には同一符号を付して、その詳しい説明は省略する。

【0113】図中破線で囲まれた領域がメモリセル201に対応し、二つのTMR素子は、それぞれデータ線DL、/DLにその一端が接続され、他端はセル選択トランジスタを介して同一のビット線BLに接続されている。選択トランジスタ31~34には、それぞれ独立したワード線WL1~WL4が配置されている。データ線DL、/DLは、共通のワード線DSLを持つ選択トランジスタを介してバイアス電圧クランプ回路420と電流検出型差動アンプ401に接続されている。また、ビット線BLは接地されている。

【0114】本実施形態では、ビット線BLがデータ線DL、/DLに対して低電位にあり、データ線DL、/DLから選択トランジスタを介してビット線BLに電流が流れることが特徴である。なお、図21ではビット線電位を接地電位としたが、データ線電位を超えない範囲で、任意の電圧に設定しても差し支えない。また本実施形態では、データ線DL、/DLの電位を完全に等しくする必要がある。これは、図示のようなバイアス電圧クランプ回路乃至は類似技術により容易に実現可能である。

【0115】(第11の実施形態)図22は、本発明の第11の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0116】図中破線で囲まれた領域がメモリセル201に対応し、二つのTMR素子は、それぞれ独立したデータ線DL、/DLにその一端が接続されている。TMR素子の他端は、セル選択トランジスタを介してビット線BLに接続されているが、データ線方向に配列されたメモリセルでそれぞれ独立したビット線BL1~BL4に接続されている。選択トランジスタ31~34には、それぞれ独立したワード線WL1~WL4が配置されている。データ線DLは、ワード線DSLを持つ選択トランジスタを介してバイアス電圧クランプ回路420に接続され、データ線/DLは接地されている。ビット線BL1~BL4は、それぞれ異なる差動センスアンプSAに接続されている。

【0117】次に、メモリセル201を例にとってこの回路の動作を説明する。今、TMR素子11の記録層と固着層の磁化配列が平行状態、TMR素子21が反平行状態である場合を考える(記録情報“1”)。初期状態では、WL1、DSLの電位は0である。次いで、DSLの電位を V_{00} として、DLに V_{01} を与えた状態で、WL1を V_{00} として選択トランジスタ31を導通させる。TMR素子11の抵抗値を $R(1-MR/2)$ 、TMR素子21の抵抗値を $R(1+MR/2)$ とすると、BLに誘導される電圧の値は、

$$V_1 = V_{bias}/2 \times (1+MR/2) \quad \dots (16)$$

となる。

【0118】一方、記録情報“0”、即ちTMR素子11の磁化配列が反平行状態、TMR素子21が平行状態である場合には、BLに誘導される電圧の値は、次のようになる。

【0119】

$$V_{0119} = V_{0119} / 2 \times (1 - MR / 2) \quad \dots (17)$$

従って、例えば差動センスアンプの参照電圧を $V_{ref} = V_{0119} / 2$ と設定すれば、BL電位の参照電圧との大きさを比較することで記憶情報を判別することができる。

【0120】この読み出し方法では、二つのTMR素子によるバイアス電圧Vの分圧比を検出するため、(1) TMR素子に流れる電流値に全く依存しない。即ち、メモリセルアレイ中のメモリセル数が増加して、DL、/DL間のインピーダンスが増加した場合にも、出力への影響が生じない、(2) バイアス電圧を二つのTMR素子で分割するため、MRのバイアス電圧依存性を軽減できる、(3) ビット線には殆ど電流が流れないため、選択用半導体素子の特性ばらつき、特にソース・ドレイン抵抗のばらつきを無視できる、といった利点を有している。

【0121】(第12の実施形態)図23は、本発明の第12の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0122】図中破線で囲まれた領域がメモリセル201に対応し、二つのTMR素子は、それぞれデータ線DL、/DLにその一端が接続され、他端はセル選択用トランジスタ31を介して同一のビット線BLに接続されている。選択用トランジスタ31～34には、それぞれ独立したワード線WL1～WL4が配置されている。データ線DLは、ワード線DSLを持つ選択用トランジスタを介してバイアス電圧クランプ回路420に接続され、データ線/DLは接地されている。ビット線BLは、ワード線BSLに接続した選択用トランジスタを介して差動センスアンプSAに接続している。

【0123】本実施形態では、ビット線BLを複数のメモリセルで共有しているため、アレイ面積の一層の低減を図ることが可能である。

【0124】(第13の実施形態)図24は、本発明の第13の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0125】本実施形態は、メモリセルアレイの構造は基本的には第12の実施形態と同一である。但し、ビット線BLが電流変換回路を介してサブビット線sBLに分割されており、読み出し動作によって生じたsBL電圧の変動は、電流変換回路により電流差としてビット線BLを経て後段のメインアンプSAに転送される。本実施形態では、ビットBLの長さを短くして浮遊容量、配線抵抗を軽減することが可能であり、ビット線遅延を低減し高速動作を実現できる。

【0126】(第14の実施形態)図25は、本発明の第14の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0127】図中破線で囲まれた領域がメモリセル201に対応し、二つのTMR素子は、それぞれデータ線DL、/DLにその一端が接続されている。TMR素子の他端は、セル選択用ダイオード素子31を介してビット線BLに接続されているが、データ線方向に配列されたメモリセルでそれぞれ独立したビット線BL1～BL4に接続されている。データ線DLは、ワード線DSLを持つ選択用トランジスタを介してバイアス電圧クランプ回路420に接続され、データ線/DLは接地されている。ビット線BLは、負荷抵抗とワード線BSLに接続した選択用トランジスタを介して接地されている。

【0128】本実施形態では、ダイオードの順方向電圧降下をセル選択に利用する。即ち、ダイオードの順方向電圧降下の値を V_f とし、 $V_f < V$ が満たされているとする。今、特定のデータ線DL、/DLに電位差Vを与えると、DL、/DLと交叉するビット線群に接続されたセンスアンプには、 $V - V_f$ 、又は $V_f - V$ の電圧が現れる。従って、その大きさを判別することで、記憶情報の読み出しを行うことができる。

【0129】なお、本実施形態におけるセル選択用ダイオード素子としては、pnダイオード、ショットキーダイオード、MISダイオード等の接合型ダイオードの他、図26に示すように、ドレイン・ゲート端子を短絡したn型MOSトランジスタを用いることができる。一般に、磁気メモリ装置では、MOSトランジスタが多用されており、半導体部にpnダイオードを形成することは余計な素子分離領域を必要とし、セル面積増大につながる。nMOSトランジスタを用いたダイオードであれば、このような問題はなく好ましい形態といえる。

【0130】(第15の実施形態)図27は、本発明の第15の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0131】図中破線で囲まれた領域がメモリセル201に対応し、二つのTMR素子は、それぞれデータ線DL、/DLにその一端が接続されている。TMR素子の他端は、セル選択用ダイオード素子31を介してビット線BLに接続されているが、データ線方向に配列されたメモリセルでそれぞれ独立したビット線BL1～BL4に接続されている。データ線DLは、ワード線DSLを持つ選択用トランジスタを介してバイアス電圧クランプ回路420に接続され、データ線/DLは接地されている。ビット線BLは、オフセット電圧回路430と電流センスアンプ402に接続されている。

【0132】図28は、本実施形態において、ビット線に流れる電流をオフセット電圧 V_{off} の関数として測定

している。二つの曲線はそれぞれ記録情報“1”、“0”に対応する電流 I_0 、 I_1 を示している。 V_{off} = 500 mV 近傍で、 I_0 のみがほぼ0となる領域が存在する。この領域では I_1/I_0 の値が非常に大きくなり、実用上非常に有利である。

【0133】このような記録情報に応じた I_0 、 I_1 の変化は、記録情報に応じた電圧変化と、ダイオードの順方向スレッシュホールド電圧 V_{T0} 近傍での強い非線形を組み合わせることで実現できる。通常ダイオードの V_{T0} の大きさは製造法により決定される。従って、本実施形態のようにオフセット電圧を与える方法は好ましい形態である。

【0134】(第16の実施形態)図29は、本発明の第16の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示した図である。

【0135】図中破線で囲まれた領域が1つのメモリセル201に対応する。このメモリセル201内で、TMR素子11、21はそれぞれ独立したデータ線41、42にその一端が接続され、TMR素子11、21の他端は、セル選択用トランジスタ32に共通接続されている。

【0136】また、各メモリセル内で、セル選択用トランジスタ31~34にはそれぞれ独立したワード線301~304がそれぞれ配置されている。データ線41とデータ線42の一端はそれぞれ別個の定電流源401、402に、他端はセンスアンプ404に接続されている。定電流源401、402を構成するMOSTランジスタには共通のワード線403が配置されている。センスアンプ404は電圧ラッチ型のフリップフロップアンプであり、共通ソース端子405とデータ端子406を有する。

【0137】次に、本実施形態の磁気メモリセルアレイにおける情報の読み出し方法について詳述する。

【0138】図30は、セル選択用トランジスタ32のワード線302の電位WL、定電流源401、402に接続するワード線403の電位DLW、データ線41、42の電位DL、 $\neg DL$ 、並びにセンスアンプ404の共通ソース端子405の電位SSの読み出し時の変化を、時間軸を横軸にとって示したものである。

【0139】今、TMR素子11の記録層と固着層の磁化が反平行状態である場合を考える(記録情報“1”)。初期状態では、セル選択用トランジスタ32のワード線WL、定電流源401、402を制御するワード線DLWの電位は0、センスアンプ404の共通ソース端子の電位はV。とする。この状態では、データ線41、42はフローティング電位であり、センスアンプ404はデータ線41、42から切り離されている。

【0140】次に、WLを高電位Vccとしセル選択用トランジスタ32を導通させた後に、DLWを高電位Vsを与える。これにより、データ線41、42を経由して

TMR素子11、21に等しいセンス電流 I_s が流れる。データ線41、42の電位は、セル選択用トランジスタ32での電圧降下をVrとすれば、それぞれ

$$DL = V_0 = (R + \Delta R) \times I_s + V_r$$

$$\neg DL = V_0' = R \times I_s + V_r \quad \dots (18)$$

となる。即ち、データ線41、42の差動電圧として $\Delta V = \Delta R \times I_s$ … (19)

が得られる。

【0141】次に、この状態でセンスアンプ404の共通ソース端子405に図示のようにV。から0に変化する読み出しパルスを与える。DLとSSの電位差がトランジスタのしきい値電位Vthを越えると、低電位のデータ線42側に接続されたトランジスタが放電をはじめ、結果的にはデータ線41は初期電位Vdを保ち、一方のデータ線42は0Vにラッチされる。

【0142】記録情報“0”の場合には、TMR素子11の記録層と固着層の磁化は平行状態であり、センス電流を流した状態ではデータ線41側が低電位である。このため、読み出しパルスを与えると、データ線41が0Vにラッチされる。従って、共通ソース端子405にパルスを印加して一定時間経過後に、センスアンプの端子406を用いてデータ線41の電圧Dを取り出せば、読み出しが行われる。データの読み出し後、図示のように各端子の電位を初期状態に戻せば、センスアンプ404のラッチはリセットされ、読み出し動作は完了する。

【0143】本実施形態の構成では、センスアンプ404の共通ソース端子405に印加する読み出しパルスの大きさは、

$$V_0' \leq \phi \leq V_0$$

とする必要がある。即ち、パルスの大きさに対するマージンは読み出し時のデータ線間の差動電圧程度である。この部分の動作を安定化させるために、(1) センスアンプ前段の電圧増幅回路、(2) V_0 、 V_0' のばらつきを補償する回路、等を設けてもよい。なお、本実施形態ではフリップフロップアンプを用いたが、センスアンプに他の増幅回路、例えばカレントミラーアンプを用いても差し支えない。

【0144】図31は、本実施形態の磁気メモリセルアレイの全体構成を模式的に示した図である。メモリセルアレイは、2次元的に配列したメモリセルと、これらのメモリセルに接続したデータ線群、ワード線群、及びメモリセル近傍で交差する書き込み線群等からなる。2本を1組とする書き込み線RWL、CWLはそれぞれ列デコーダと行デコーダに接続されており、これによって外部からのアドレス入力に対応した選択書き込みが可能となる。

【0145】一方、データ線DL、 $\neg DL$ を駆動するワード線DWLと、これに直交しセル選択用トランジスタを駆動するワード線WLがそれぞれ列デコーダと行デコーダに接続されており、これらによって外部からのア

ドレス入力に対応した選択読み出しが可能となる。センスアンプSAは各データ線対に設けられており、共通のワード線SSにより駆動される。そして、読み出しデータは共通データ線Dに読み出されるものとなっている。

【0146】このように本実施形態では、2つのTMR素子（例えば11、21）から1つのメモリセル（例えば201）を構成し、平行配置された書き込み線51a、51bとこれに直交する書き込み線52との交差部にメモリセルをそれぞれ配置しているので、書き込み線51a、51bと書き込み線52に電流を流すことにより、任意のメモリセルに対して選択的に書き込みを行うことができる。

【0147】書き込み線51a、51bを流れる電流方向は互いに逆方向であり、書き込み動作において1つのメモリセル201を構成する2つのTMR素子11、21の記憶層101の磁化方向は常に反平行となることから、記憶情報の読み出しに際してTMR素子11、21の各出力の差分を取ることで、従来技術に比べ大きな差分電圧を得ることができる。また、TMR素子11とTMR素子21とは同一のセル選択用トランジスタ32を共有するため、トランジスタの特性ばらつきによるセル出力電圧のオフセットを完全に除去することが可能である。

【0148】従って本実施形態によれば、読み出し時のセル出力電圧を大きくすることができ、且つ読み出し時の消費電力の増大を招くことなく信号-雑音比を改善することができ、低消費電力と高速読み出し性を兼ね備えることが可能となる。

【0149】なお、本発明は上述した各実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0150】

【発明の効果】以上詳述したように、本発明の磁気メモリセルアレイ構造を利用することで、情報読み出し時において従来技術を用いた場合に比べ大幅な高出力化、低雑音化を実現することが可能となる。従って、低消費電力、高速読み出し性を兼ね備えた固体磁気メモリ装置を実現することができる。

【図面の簡単な説明】

【図1】第1の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図2】第1の実施形態を説明するためのもので、DL、DLに流れる電流値 I_L 、 I_L の変化を時間変化として示す図。

【図3】第1の実施形態を説明するためのもので、複数個のメモリセルの記録情報を連続的に読み出した際の波形を示す図。

【図4】選択セル以外の素子を短絡抵抗と仮定して示す等価回路図。

【図5】図4の等価回路を用いたシュミレーションの結

果を示す図。

【図6】第1の実施形態に係わる磁気メモリセルアレイを構成するTMR素子と書き込み線の配置を模式的に示す図。

【図7】第1の実施形態に使用したメモリセルの平面構造を示す図。

【図8】図7のメモリセル構造における矢視A-A'断面及び矢視B-B'断面を示す図。

【図9】書き込み線とデータ線を共用した場合のメモリセル構造断面を示す図。

【図10】第2の実施形態に係わる磁気メモリセルアレイを構成するTMR素子と書き込み線の配置を模式的に示す図。

【図11】第2の実施形態におけるメモリセルの平面構造を示す図。

【図12】図8のメモリセル構造における矢視A-A'断面及び矢視B-B'断面を示す図。

【図13】第3の実施形態に係わる磁気メモリセルアレイを構成するTMR素子と書き込み線の配置を模式的に示す図。

【図14】第3の実施形態に係わる磁気メモリセルアレイの素子断面構造を示す図。

【図15】第4の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図16】第5の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図17】第6の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図18】第7の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図19】第8の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図20】第9の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図21】第10の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図22】第11の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図23】第12の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図24】第13の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図25】第14の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図26】第14の実施形態に係わる磁気メモリセルアレイのpnダイオードをMOSトランジスタで置き換えた等価回路を示す図。

【図27】第15の実施形態に係わる磁気メモリセルアレイの電気的な等価回路を示す図。

【図28】第15の実施形態を説明するためのもので、

ビット線に流れる電流をオフセット電圧 V_{off} の関数として測定した結果を示す図。

【図29】第16の実施形態における磁気メモリセルアレイの電気的な等価回路を示す図。

【図30】第16の実施形態における磁気メモリセルアレイにおける読み出し動作を説明するためのタイミング図。

【図31】第16の実施形態における磁気メモリセルアレイの全体構成を示す図。

【符号の説明】

10, ~, 14, 20, ~, 24…TMR素子

31, ~, 34…選択トランジスタ

201…メモリセル

301, ~, 304, 403…ワード線

* 41, 42…データ線

44…セルノード

45…コンタクト

51, 52…書き込み線

60…層間絶縁層

101…記録層

102…絶縁層

103…固着層

70…Si基板

10 71…ドレイン領域

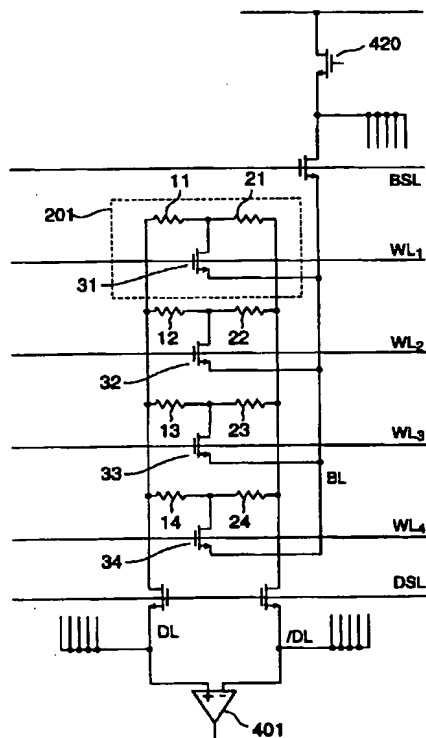
72…ソース領域

401…センスアンプ

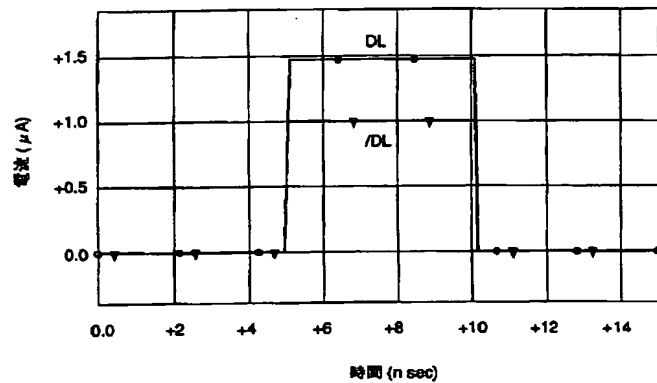
420…バイアス電圧クランプ回路

* 430…オフセット電圧回路

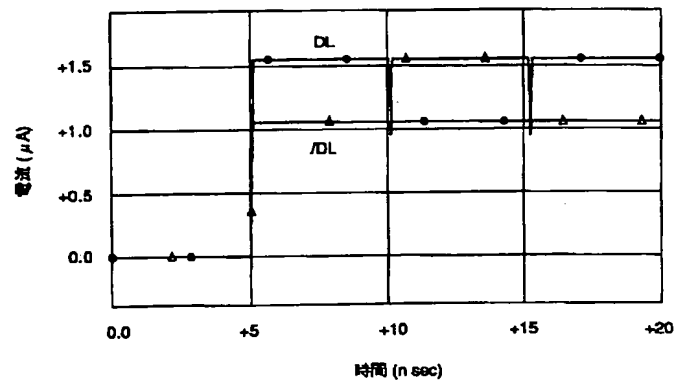
【図1】



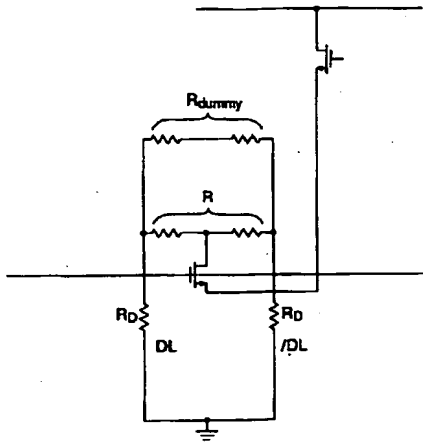
【図2】



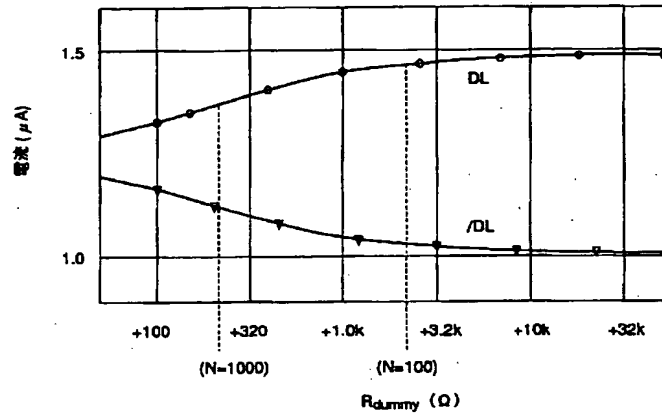
【図3】



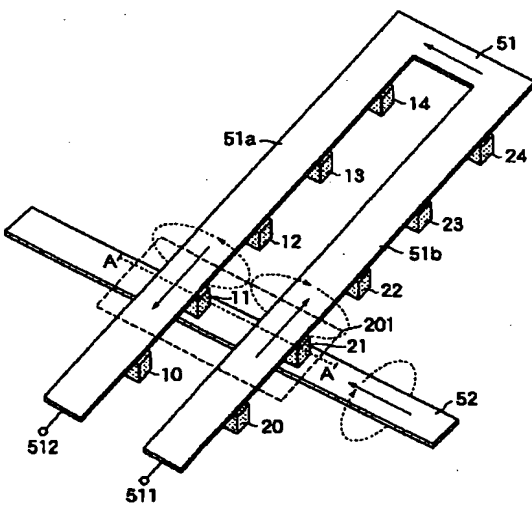
【図4】



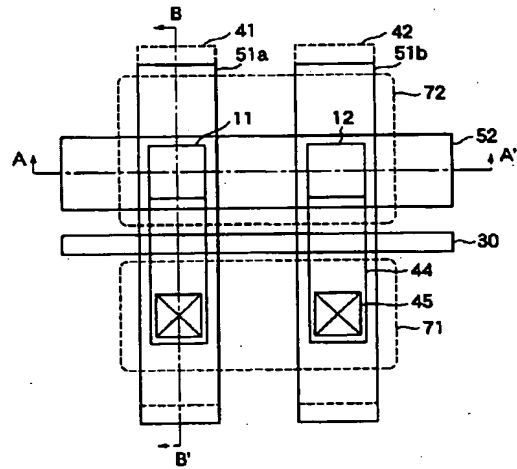
【図5】



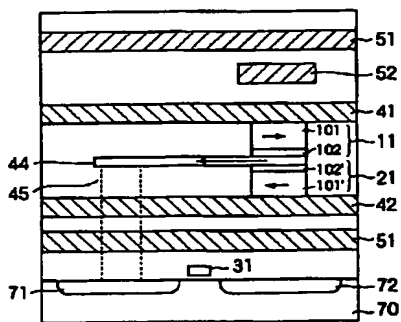
【図6】



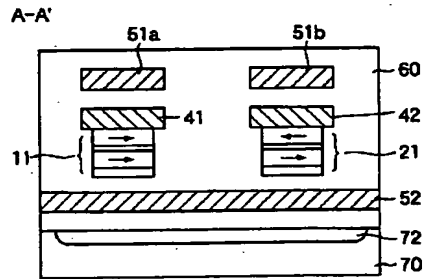
【図7】



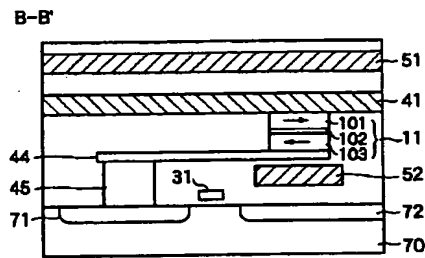
【図14】



【図8】

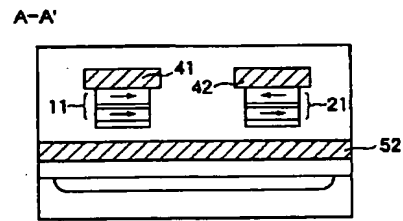


(a)

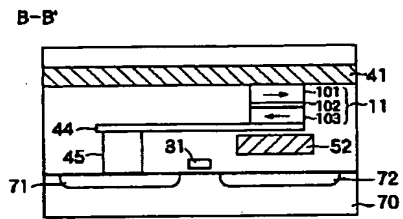


(b)

【図9】

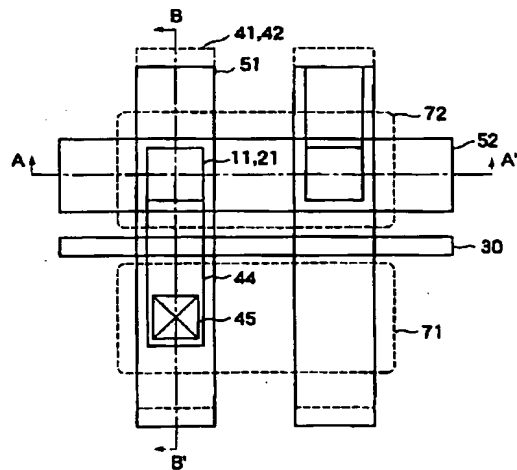


(a)

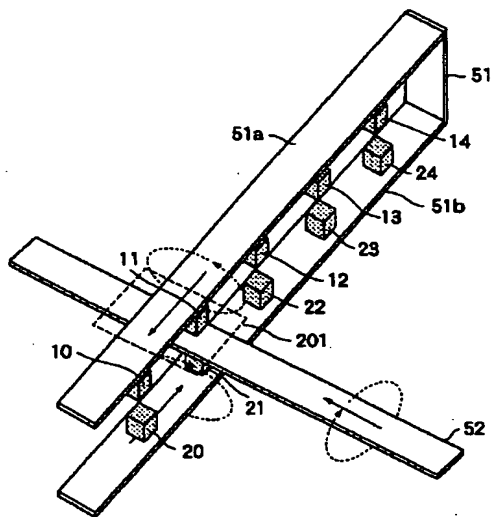


(b)

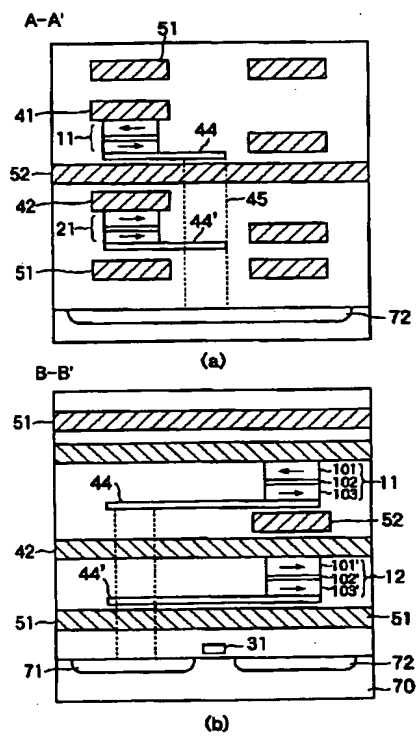
【図11】



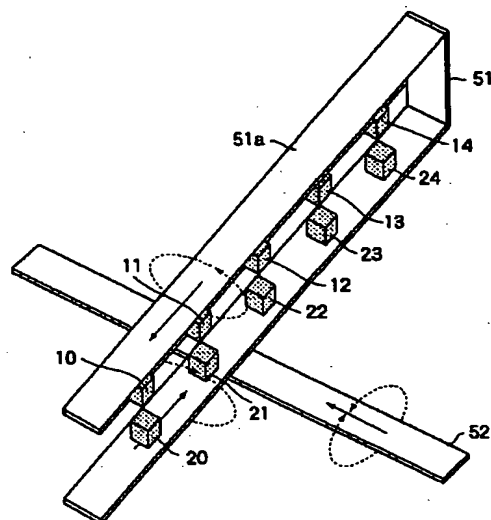
【図10】



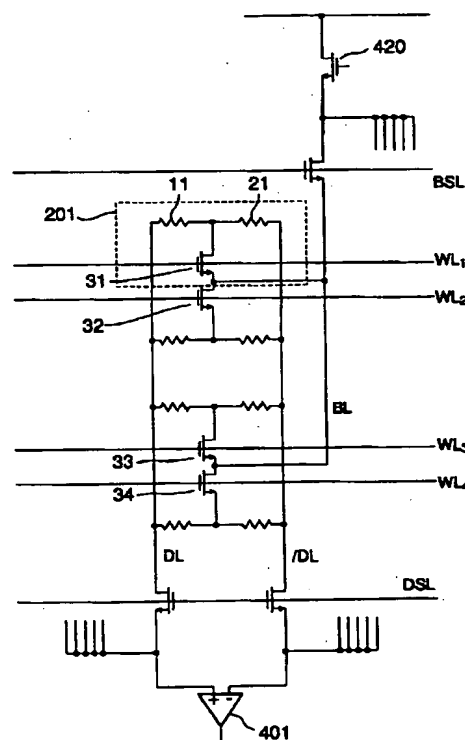
【図12】



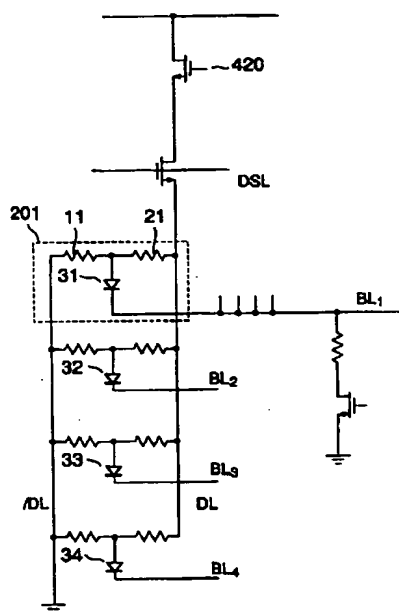
【図13】



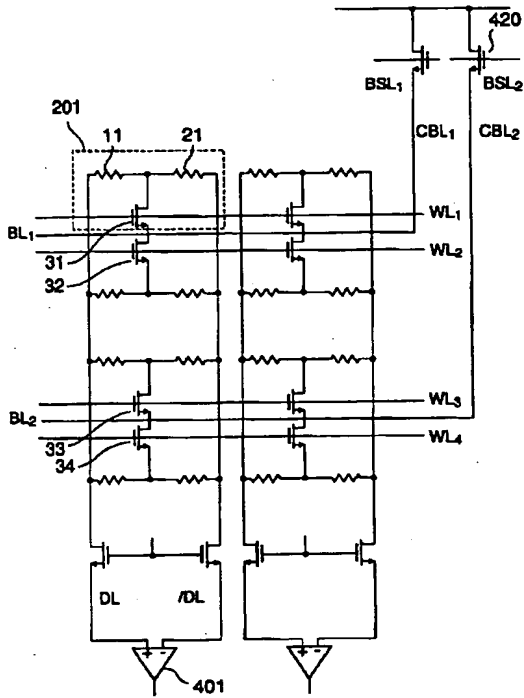
【図15】



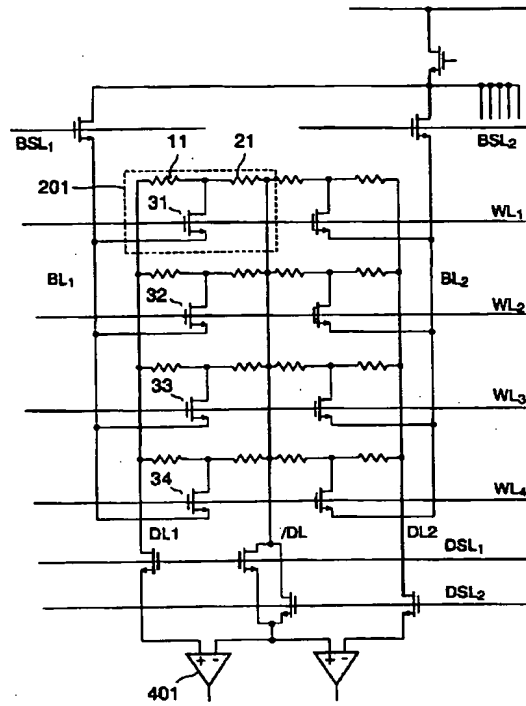
【図25】



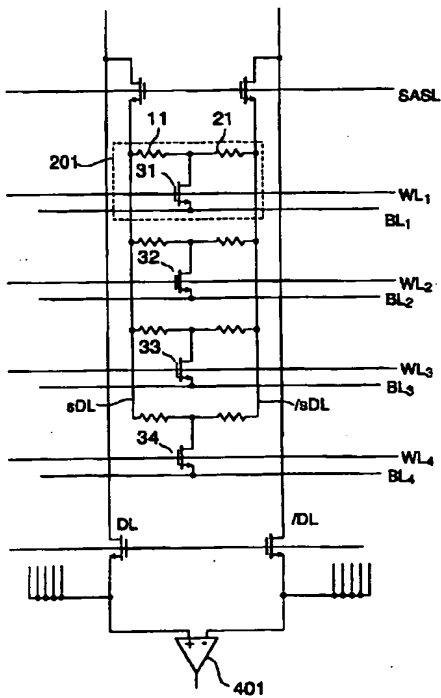
【図16】



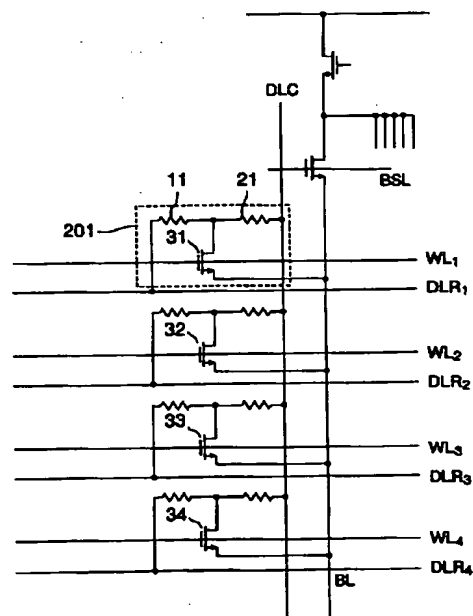
【図17】



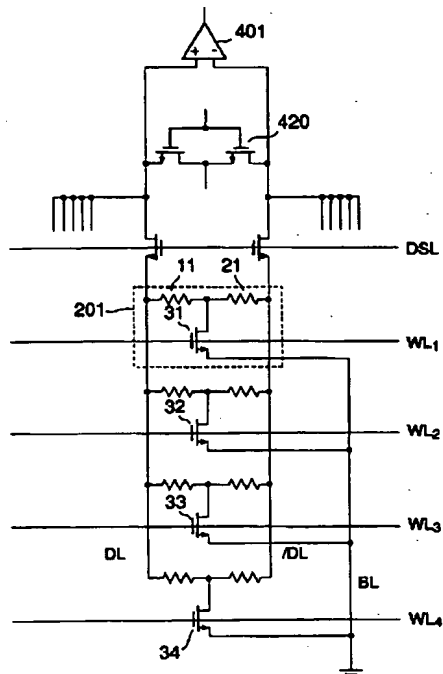
【図19】



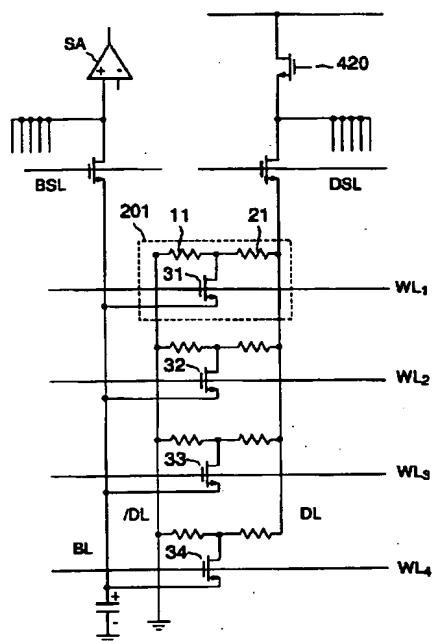
【図20】



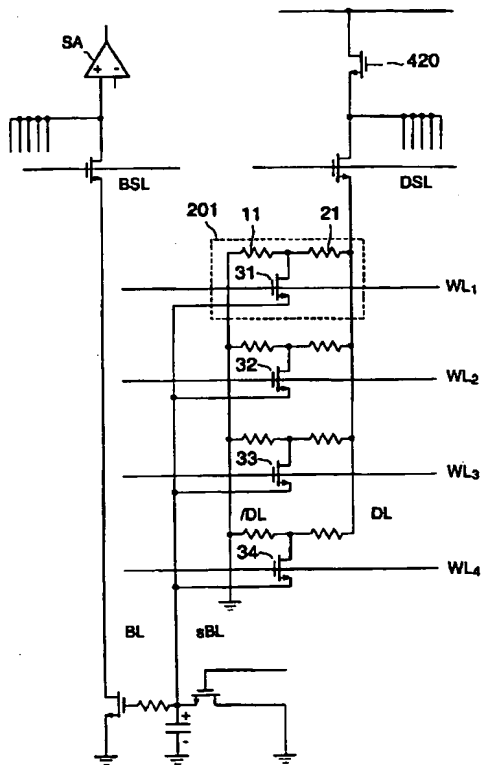
【圖 21】



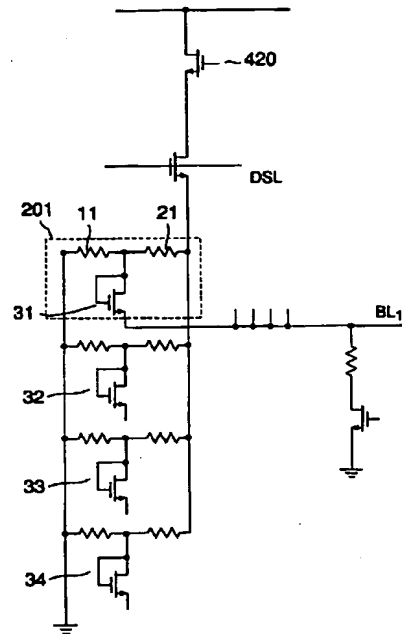
【圖 23】



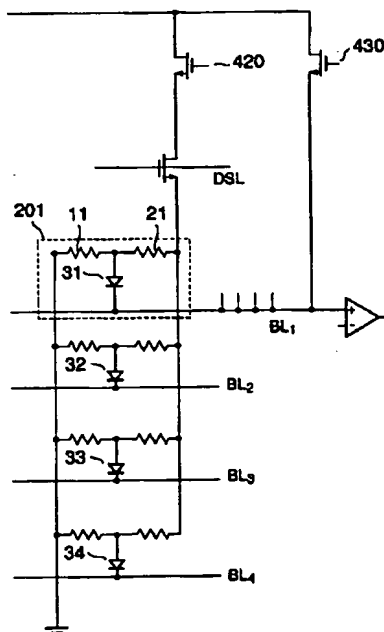
【図24】



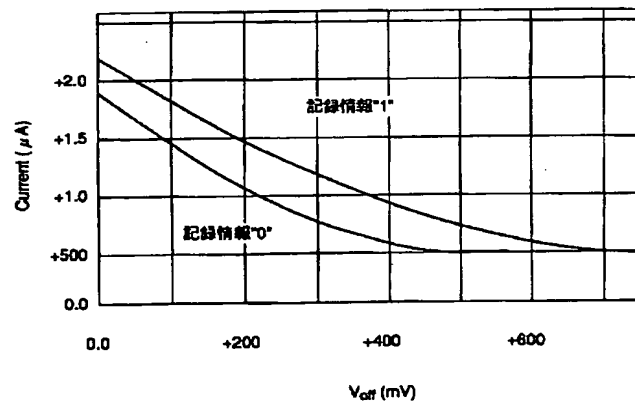
【図26】



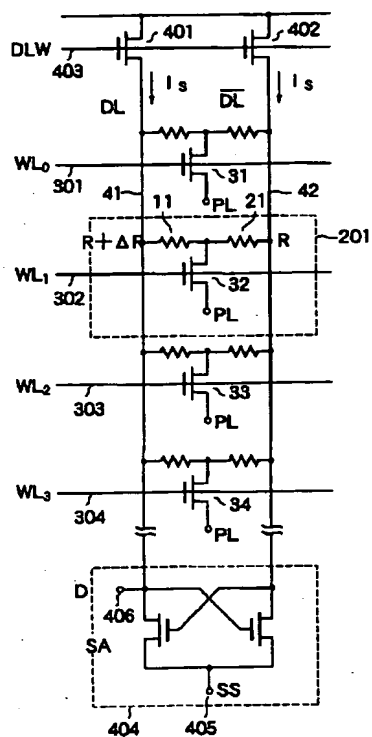
【図27】



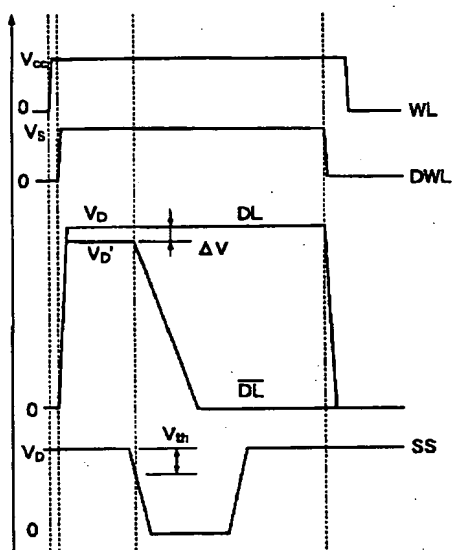
【図28】



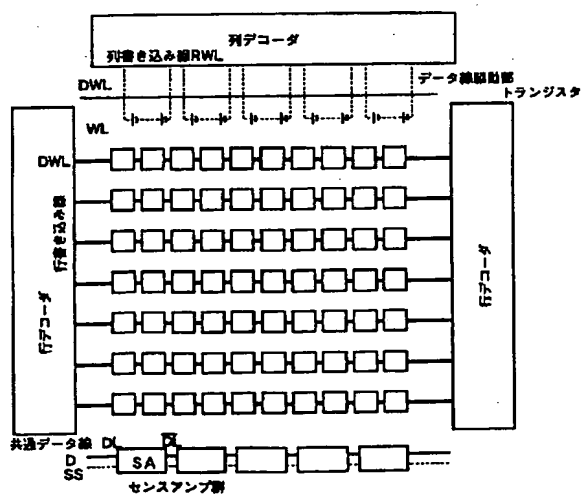
【図29】



【図30】



【図31】



フロントページの続き

(72)発明者 斉藤 好昭
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 砂井 正之
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内